
2020 한국폴리텍대학 (다기능과정) IT융합전자회로 설계 및 제작 경진대회

제 2 과제

PROJECT NAME : HARDWARE DESIGN

제한 시간 : 5시간



후원 : 학교법인 한국폴리텍 대학

협찬 : 한국폴리텍대학 대구캠퍼스 나인플러스아이티(주)

IT융합전자회로 설계 및 제작 경진대회 과제

과 제 명	Hardware Design	경기시간	5시간
비번호		감독위원확인	(인)

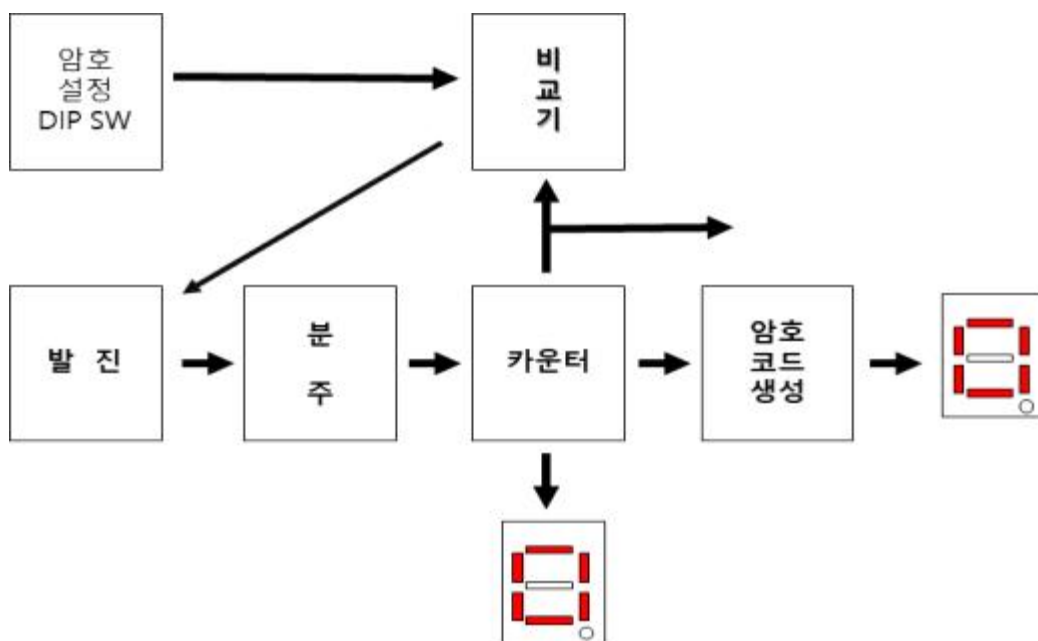
1. 요구사항

- 가. 지급된 재료와 인쇄회로기판(이하 PCB)을 이용하고 주어진 도면을 참조하여 본 조립 과제를 조립하고 동작을 완성시키시오.
- 나. 설계부분(DESIGN A)을 요구사항대로 설계하고 완성하여, 답안지에 작성 하시오.
- 다. PCB의 누락된 부품들을 만능기판에 제작 하시오.
- 라. 답안지 작성은 최대한 청결하게 하시오.
- 마. 조립이 완료되면 전원 입력단자에 직류 +5[V], GND를 인가하시오.

2. 동작사항

이 작품은 입력되는 디지털 신호와 Display 되는 디지털 신호를 코드 변환을 통해 변환시켜 보여줌으로써 실제 입력신호를 알 수 없게 하는 ‘암호화 장치’를 간단하게 구현한 것이다.

가. BLOCK DIAGRAM



[그림 1] BLOCK DIAGRAM

3. 조정(adjustment)및 동작 요구 사항

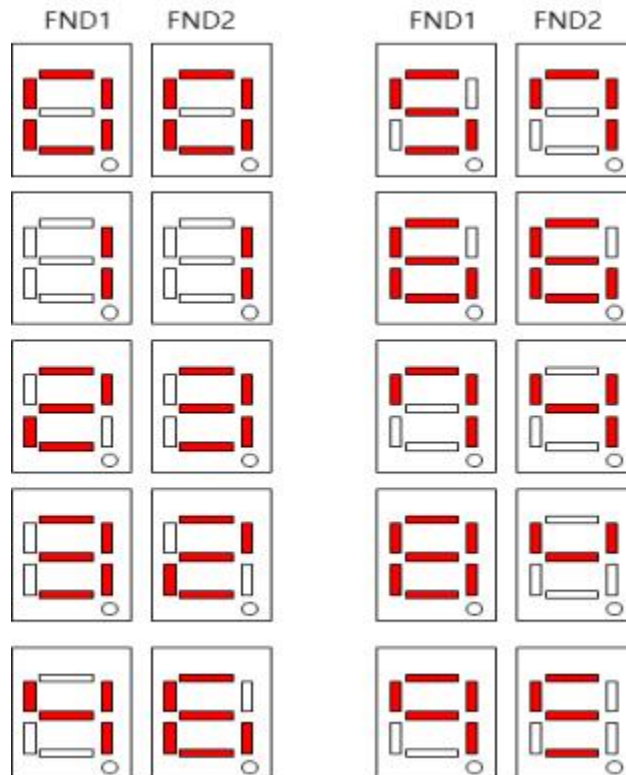
회로설계 동작 요구 사항을 적합하게 설계하여 다음 동작이 되게 하시오.

가. 조정 요구사항

- (1) 'SW1'(DIP SW)을 모두 'ON'한 상태에서 'VR1'을 조정하여 TP1에서 4kHz의 구형파가 출력되게 하시오.

나. 동작 요구사항

- (1) POWER SUPPLY를 이용하여 전원 입력단자에 DC +5[V], GND를 인가하시오.
- (2) 'SW1'(DIP SW)를 임의의 숫자로 설정하시오.
- (3) 'FND1'은 10진 UP-COUNT가 되게 하시오.
- (4) 'SW1'(DIP SW)에서 설정한 숫자와 'FND1'의 숫자가 불일치할 경우 'FND1'은 현재 표시된 숫자에서 UP-COUNT하여 'SW1'(DIP SW)에서 설정한 숫자와 일치할 경우 멈추게 하시오.
- (5) 'FND2'는 'FND1'의 숫자를 암호화 하여 [그림 2]와 같이 출력되게 하시오.



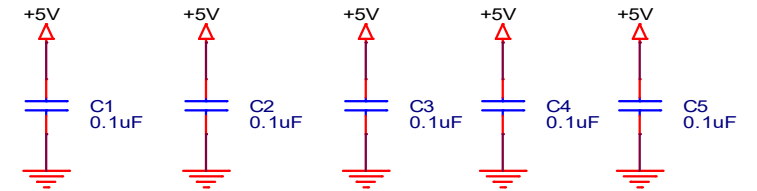
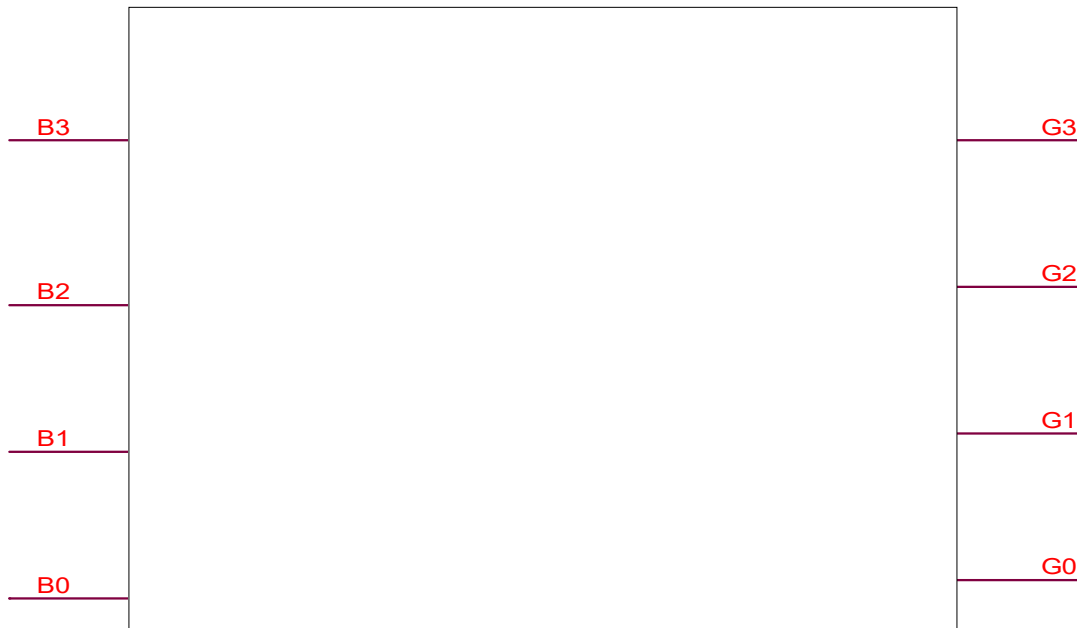
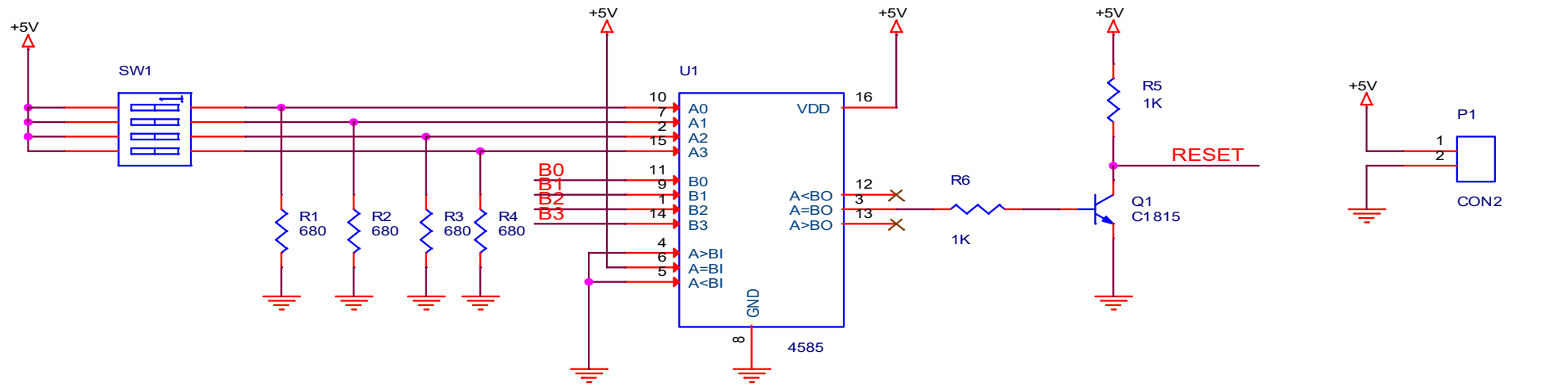
[그림 2] FND1과 FND2의 출력

4. 선수 유의 사항

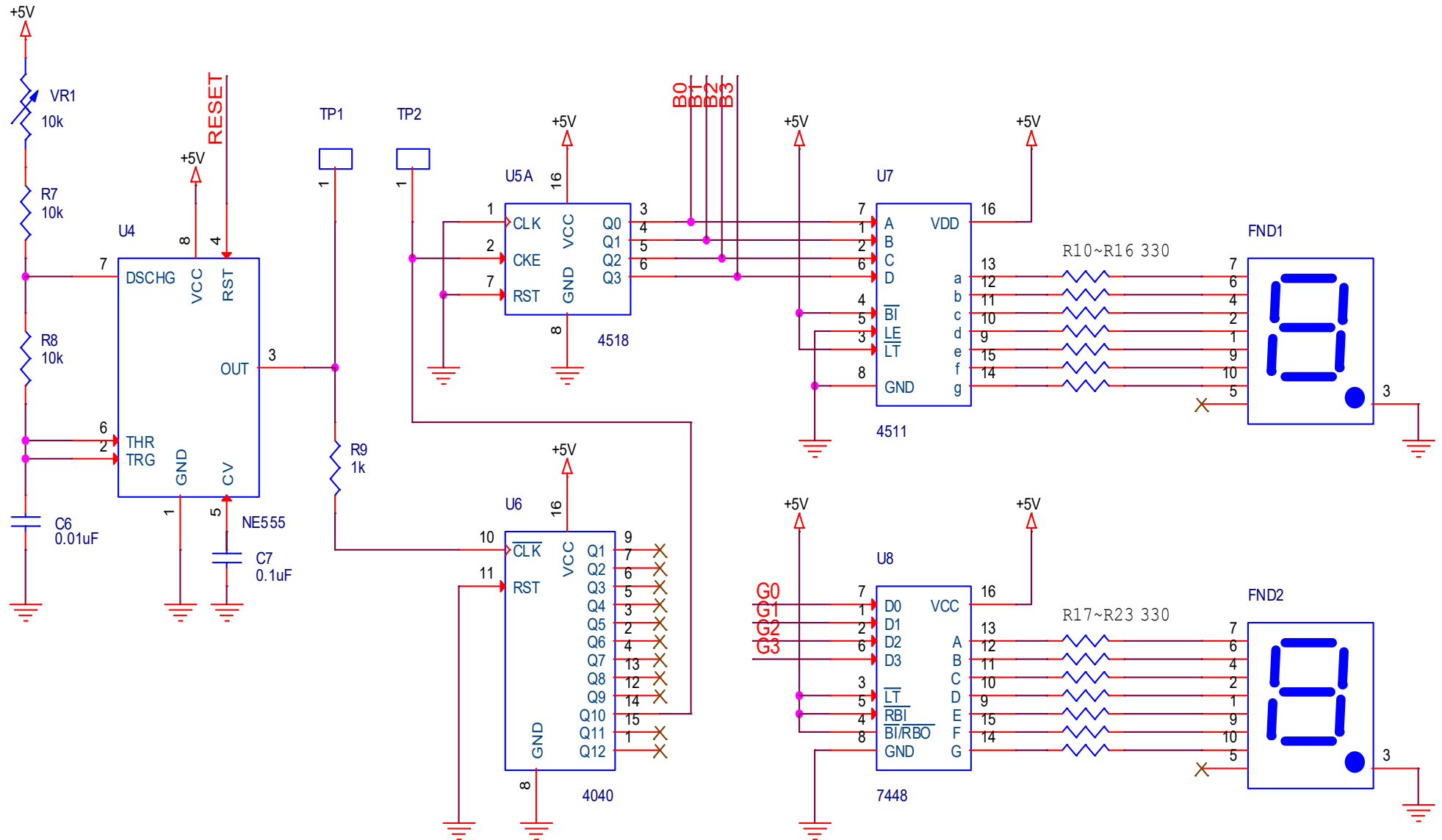
가. 안전사고에 유의하십시오.

나. 심사의원 및 집행위원의 지시에 순응 하시오.

5-1. 회로도 #1



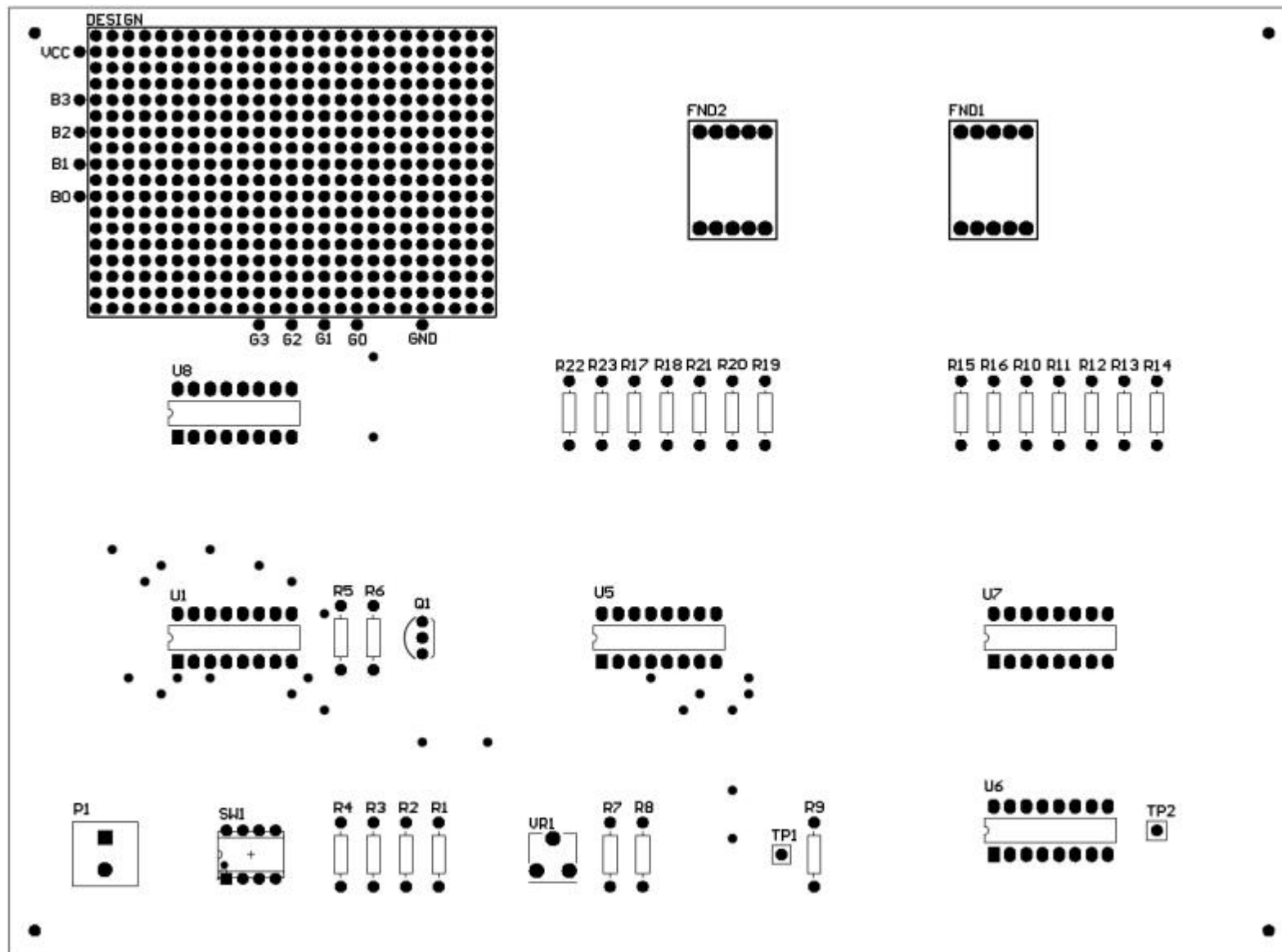
5-2. 회로도 #2



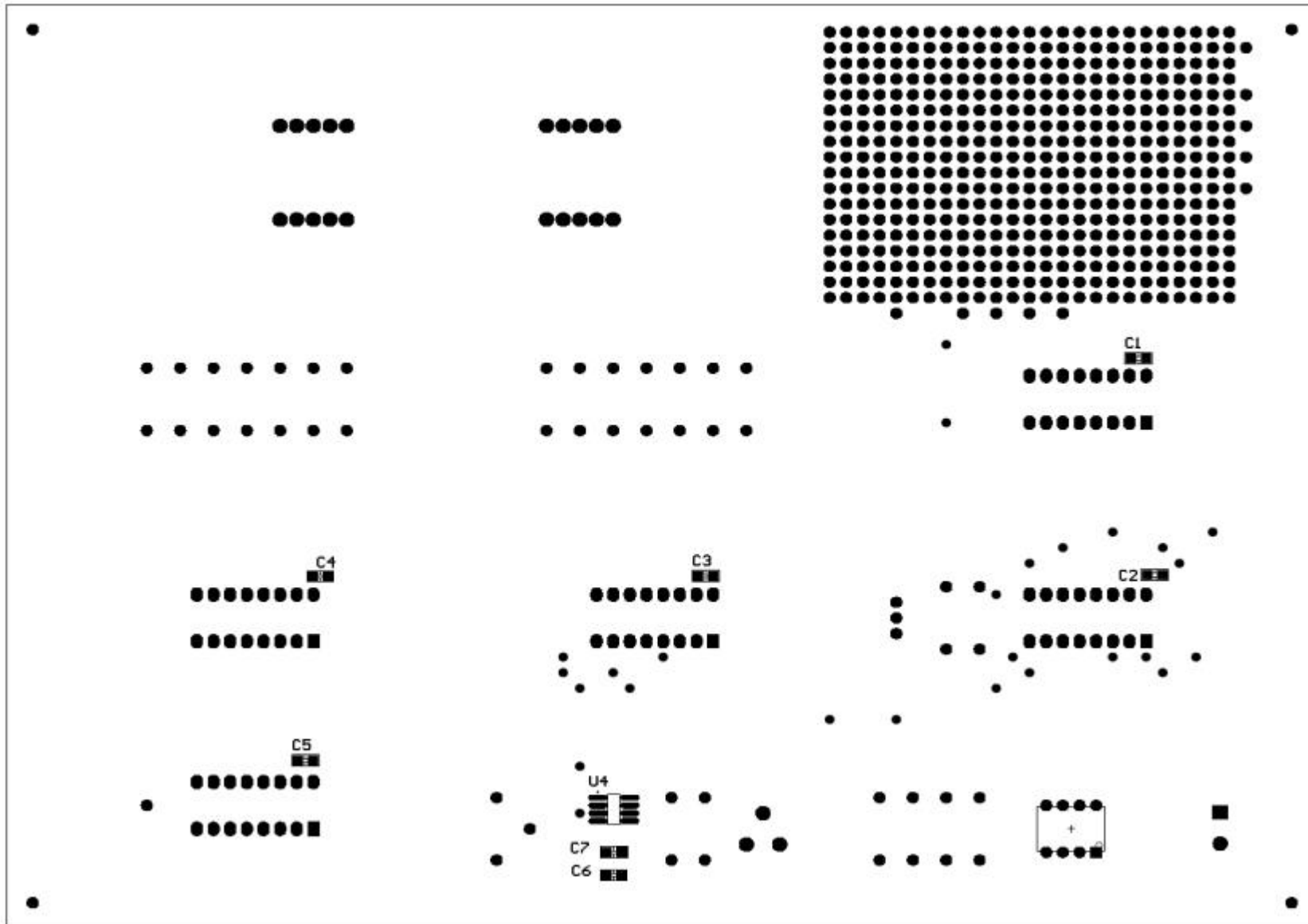
6-1. 재 료 목 록

일련 번호	재 료 명	규 격(치수)	단위	소요량	비 고
1	IC	74LS48	개	1	
2	IC	TC4030	개	1	
3	IC	CD4040	개	1	
4	IC	IW4081	개	1	
5	IC	MC14511	개	1	
6	IC	CD4518	개	1	
7	IC	MC14585	개	1	
8	SMD IC	NE555	개	1	
9	IC 소켓	DIP-14	개	2	
10	IC 소켓	DIP-16	개	5	
11	트랜지스터	2SC1815	개	1	
12	저항	330 Ω	개	14	
13	저항	680 Ω	개	4	
14	저항	1K Ω	개	3	
15	저항	10K Ω	개	2	
16	반고정 저항	VZ067TL7,10K Ω	개	1	
17	SMD세라믹콘덴서	0.01uF, SIZE=2012	개	1	
18	SMD세라믹콘덴서	0.1uF, SIZE=2012	개	6	
19	7 segment	Common K	개	2	
20	DIP 스위치	NDS-04-V	개	1	
21	전원단자	CLL5.08-02P	개	1	
22	TP	LC-2G	개	2	
23	PCB Support	금속10mm암	개	4	
24	볼트	금속3 Φ 5mm	개	4	
25	스프링와셔	금속,M3	개	4	
26	PCB	Bare PCB	개	1	
27	단선	3색 단선	m	2	
28	납	SN60%	m	2	

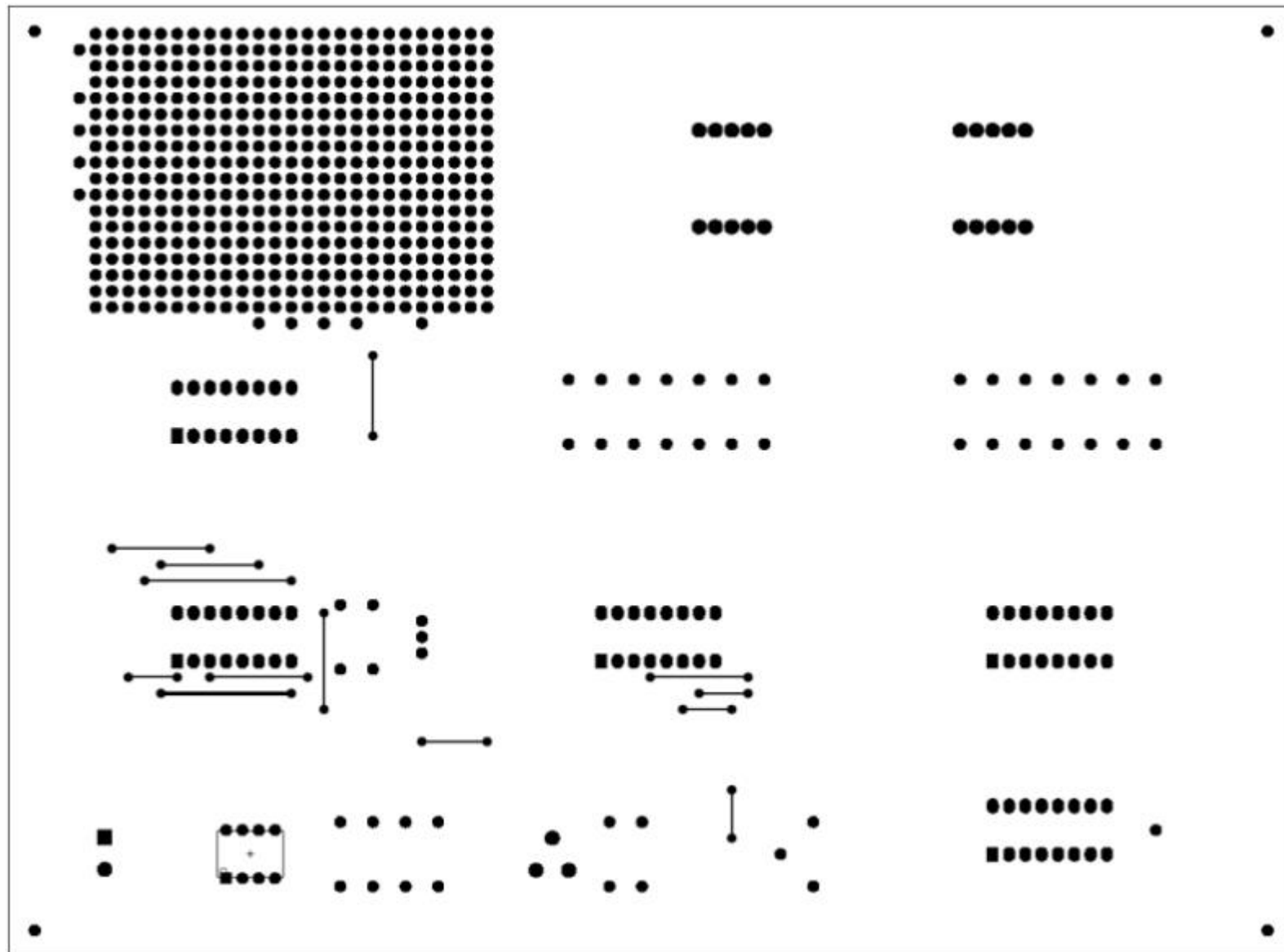
7-1. TOP COMPONENT



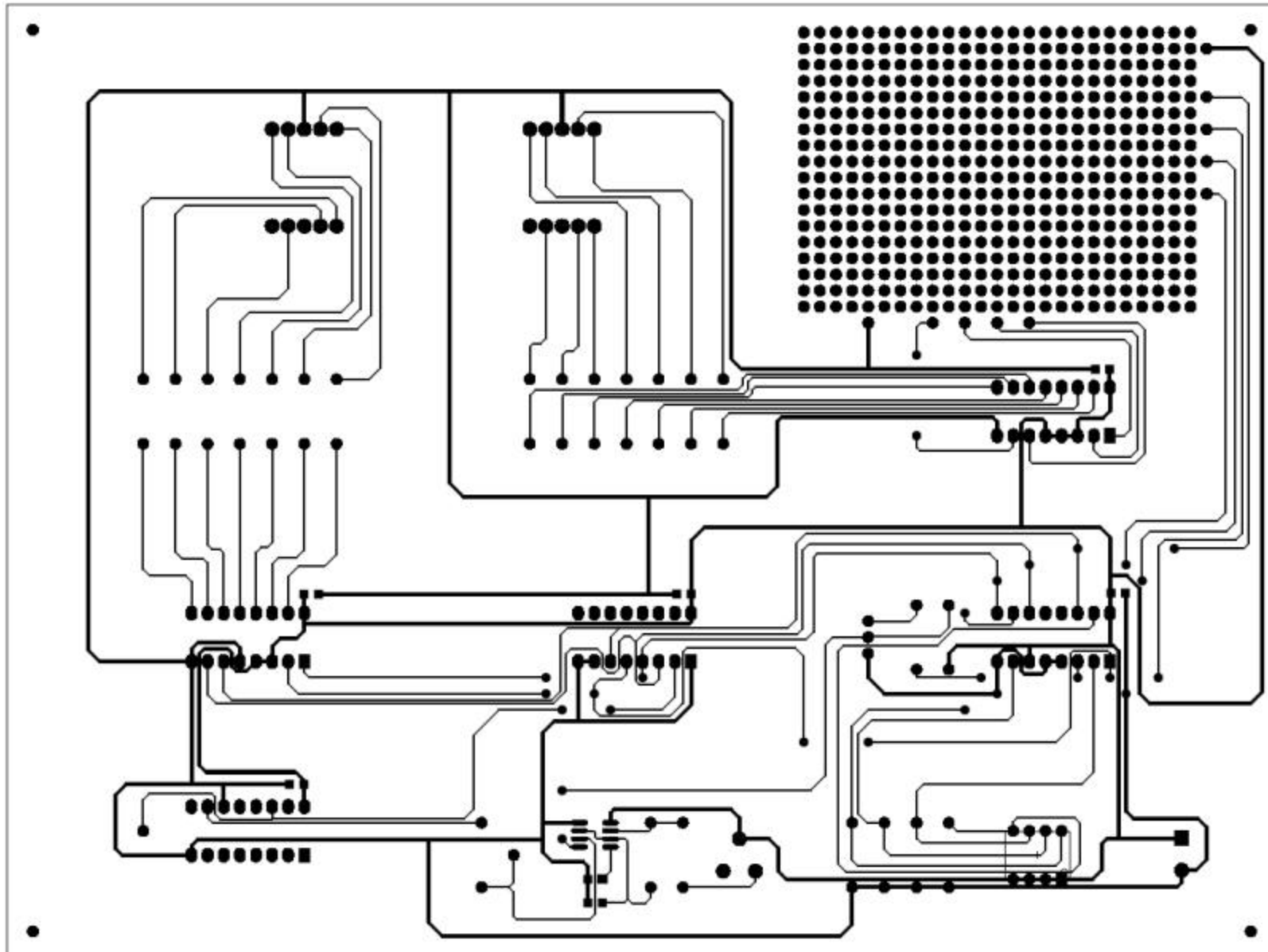
7-2. BOTTOM COMPONENT



7-3. TOP Layer



7-4. BOTTOM Layer



회로설계 답안지

경기 시간	과 제 명	PCB 회로 설계	과제번호	제 2 과제
5시간	비 번 호		감독위원확인	(인)

DESIGN

아래와 같이 제시된 조건과 요구사항을 만족하는 회로를 설계하시오.

※ 요구사항

아래의 부품을 사용하여 VR1을 조정함에 따라 아래 [표2]와 같이 동작하게 하시오.

	B3	B2	B1	B0		G3	G2	G1	G0
	0	0	0	0		0	0	0	0
	0	0	0	1		0	0	0	1
	0	0	1	0		0	0	1	1
	0	0	1	1		0	0	1	0
<i>in</i>	0	1	0	0	<i>out</i>	0	1	1	0
	0	1	0	1		0	1	1	1
	0	1	1	0		0	1	0	1
	0	1	1	1		0	1	0	0
	1	0	0	0		1	1	0	0
	1	0	0	1		1	1	0	1

[표2]

가. 주어진 부품과 Datasheets 를 참고하여 설계하시오.

나. 사용 부품

(1) 4030----- 1개

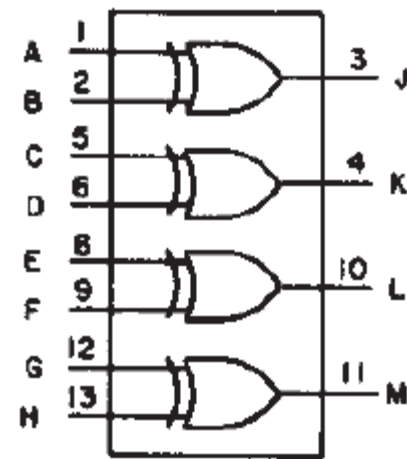
(2) 4081----- 1개

다. 설계과정



[Datasheets]

1. 4030(CMOS Quad Exclusive-OR Gate)



$$J = A \oplus B$$

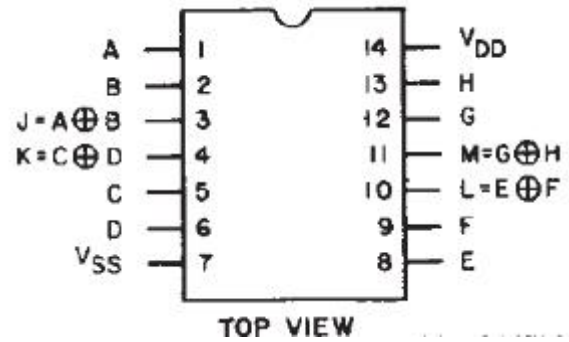
$$K = C \oplus D$$

$$M = G \oplus H$$

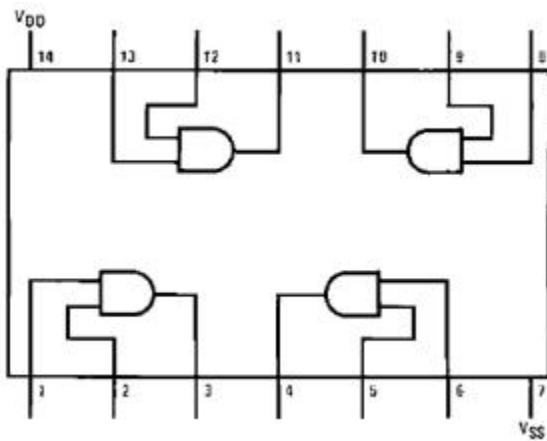
$$L = E \oplus F$$

$V_{SS} = 7$
 $V_{DD} = 14$

92C9-30051



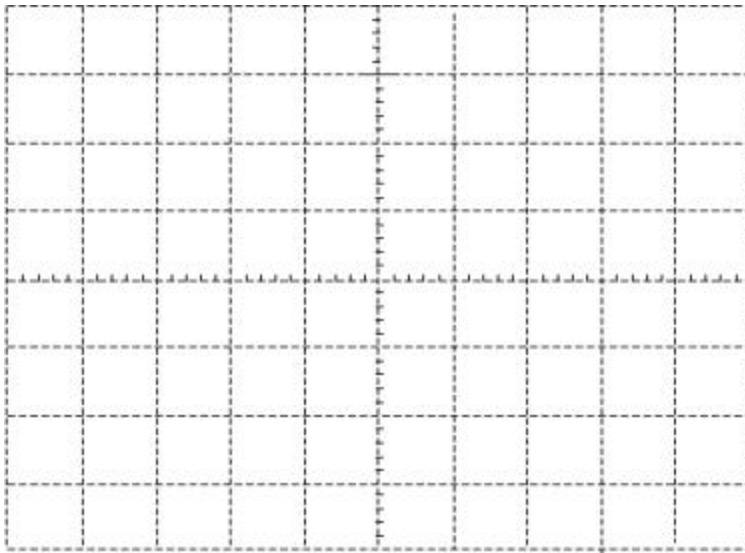
2. 4081(Quad 2-Input AND Buffered B Series Gate)



회로설계 답안지

경기 시간	과 제 명	PCB 회로 설계	과제번호	제 2 과제
5시간	비 번 호		감독위원확인	(인)

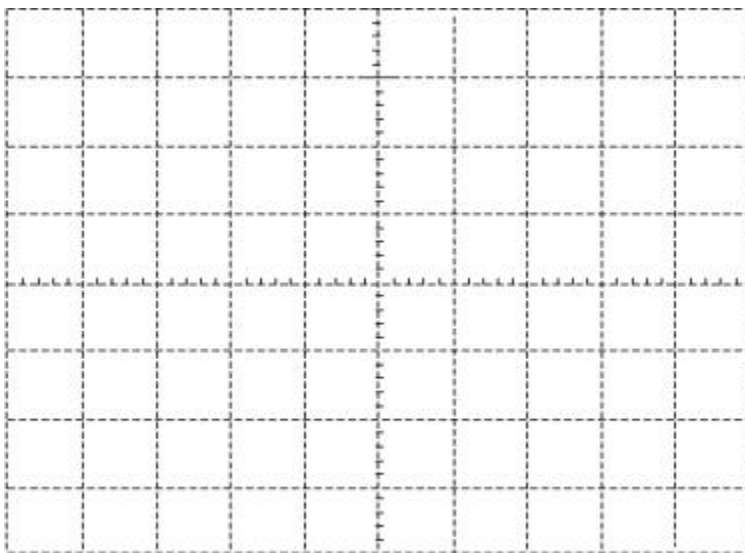
[측정 1] ‘조정 요구사항’ 완료 후 TP1을 측정하여 기록하시오. (단, 'FND1'의 숫자와 'SW1'에서 설정한 값이 일치하지 않아 'FND1'이 카운터 될 때 측정하시오.



– VOLT/DIV :
– TIME/DIV :

– V_{p-p} :

[측정 2] ‘조정 요구사항’ 완료 후 TP2를 측정하여 기록하시오. (단, 'FND1'의 숫자와 'SW1'에서 설정한 값이 일치하지 않아 'FND1'이 카운터 될 때 측정하시오.

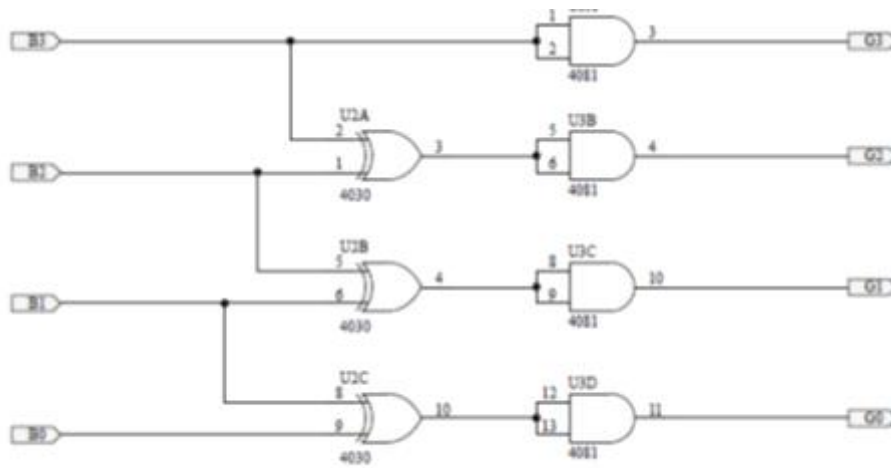


– VOLT/DIV :
– TIME/DIV :

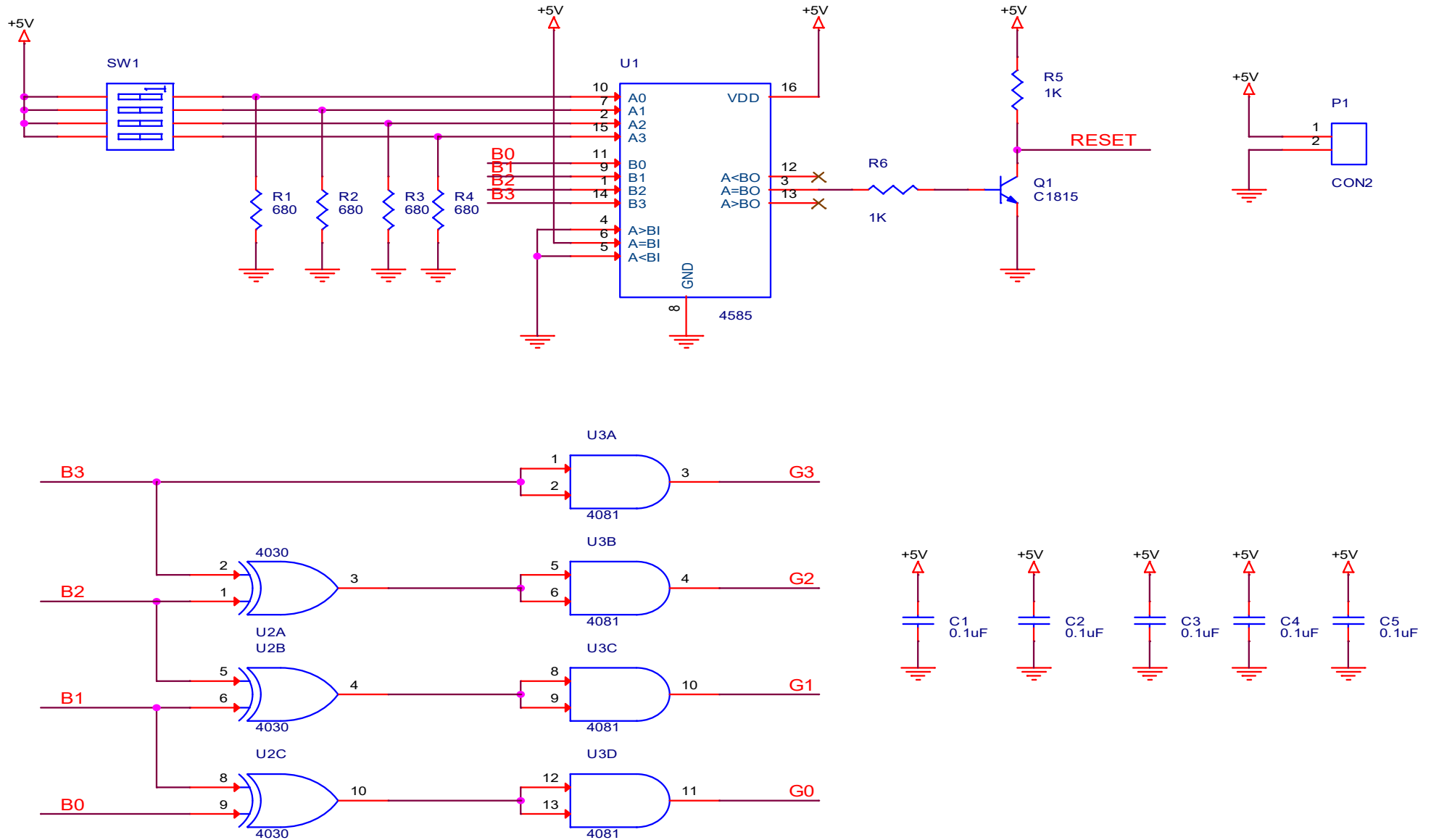
– V_{p-p} :

– f :

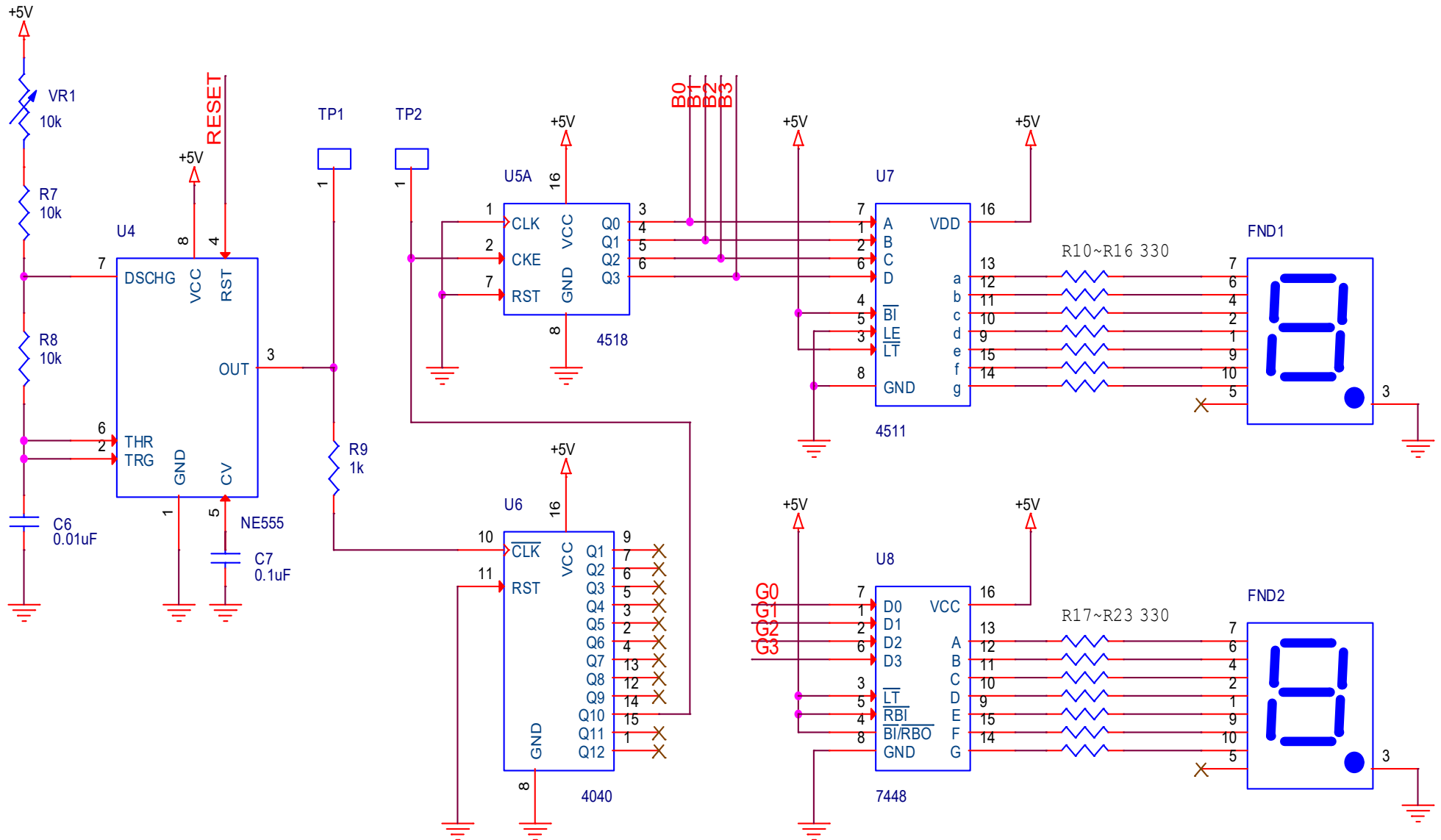
회로설계 정답지



정답 회로도



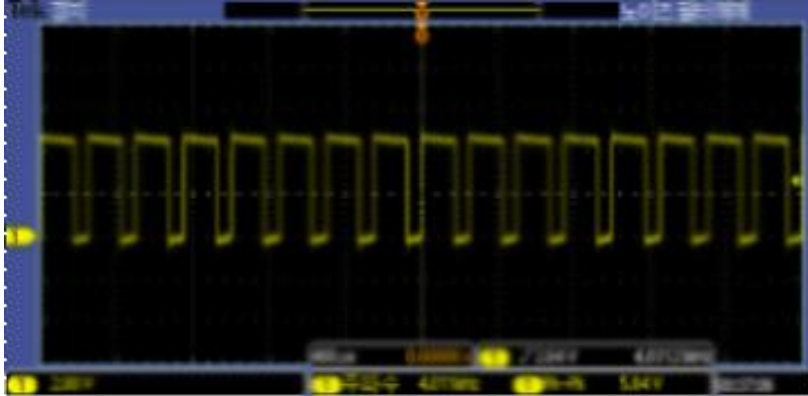
정답 회로도



측정정답지

※ 모든 측정값의 오차 범위는 $\pm 20\%$ 이내로 한다

[측정 1]



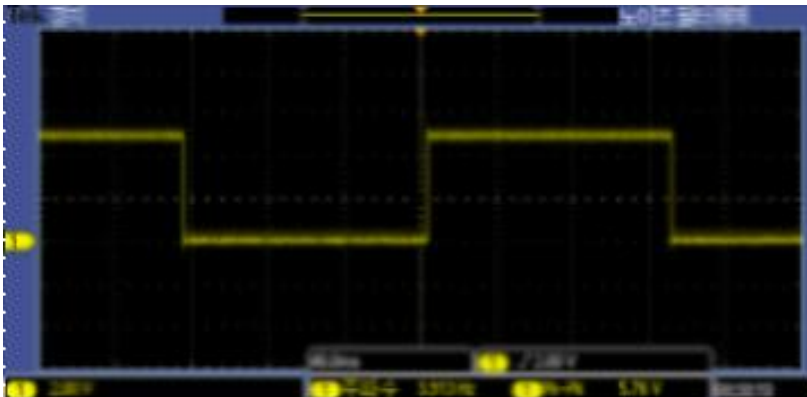
– VOLT/DIV : 2.00V

– TIME/DIV : 400uS

– V_{p-p} : 5.0V

– f : 4kHz

[측정 2]



– VOLT/DIV : 2.00V

– TIME/DIV : 40mS

– V_{p-p} : 5.0V

– f : 4.0Hz