

2024 한국폴리텍대학 (기능사과정) IT융합전자회로 설계 및 제작 경진대회

제 2 과제

PROJECT NAME : HARDWARE DESIGN
제한 시간 : 5시간



후원 : 학교법인 한국폴리텍대학
협찬 : 한국폴리텍대학 대구캠퍼스, 나인플러스아이티(주)

IT융합전자회로 설계 및 제작 경진대회 과제

| | | | |
|-------|-----------------|--------|-----|
| 과 제 명 | Hardware Design | 경기시간 | 5시간 |
| 비번호 | | 감독위원확인 | (인) |

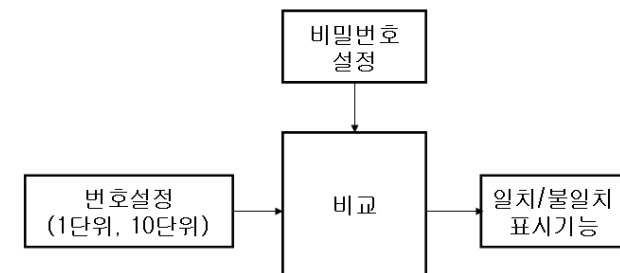
1. 요구사항

- 가. 지급된 부품과 PCB, 회로도를 참조하여 도면과 같이 회로를 조립 하시오.
- 나. DESIGN I을 요구사항대로 설계하고 완성하여, 답안지에 작성 하시오.
- 다. DESIGN I을 PCB 상의 만능기판에 제작 하시오.
- 라. TP1을 측정하여 답안지에 기록 하시오.
- 마. TP2를 측정하여 답안지에 기록 하시오.(단, Positive duty cycle을 52%에 맞추어 측정 하시오.)

2. 동작사항

- 가. 주어진 회로는 “디지털 금고”의 기능을 축소하여 구현한 작품으로 다음과 같은 기능을 가진다.
 - 1) 비밀번호 설정 기능
 - 2) 비밀번호 일치 확인 기능
 - 3) 3회 이상 비밀번호 불일치 시 경보 출력 기능

나. BLOCK DIAGRAM



3. 동작 요구 사항

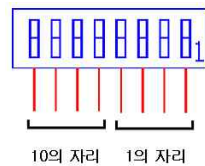
※ 각 SW와 FND의 기능은 다음과 같다

| 부 품 명 | 기 능 |
|-----------|------------|
| SW1 | 비밀번호 설정 |
| RO_SW1, 2 | 비밀번호 입력 |
| SW2 | 비밀번호 설정 입력 |
| SW3 | ON/OFF |
| SW4 | 비밀번호 체크 |
| FND1, 2 | 입력 비밀번호 표시 |

가. DESIGN I을 설계하여 제작한 후, TP1의 주파수가 100[Hz]가 되도록 가변저항 (VR)을 조정하시오.

나. SW3을 OFF시킨 상태에서 전원 인가 후 SW1(DIP_SW)으로 비밀번호를 설정 하시오.

다. SW3을 ON 시킨 후, SW2를 눌러 설정한 비밀번호를 입력하시오.



라. RO_SW1(1의 자리), RO_SW2(10의 자리)를 돌려 비밀번호를 입력하고, 입력한 비밀번호가 FND에1,2에 나오는지 확인하시오.

단, FND1=1의 자리, FND2=10의 자리이다.

마. SW4를 눌러 비밀번호가 맞는 지 확인을 하시오

① RO_SW1,2로 입력한 비밀번호가 SW1로 설정한 비밀번호와 같으면 GREEN LED가 점등된다.

② RO_SW1,2로 입력한 비밀번호가 SW1로 설정한 비밀번호와 다르면 RED LED가 점등된다.

바. 비밀번호가 틀려 RED LED가 점등된 상태이면, 10초에 한 번씩 경고음이 울리게 하고, 비밀번호가 맞을 때까지 경고음이 울리도록 하시오.

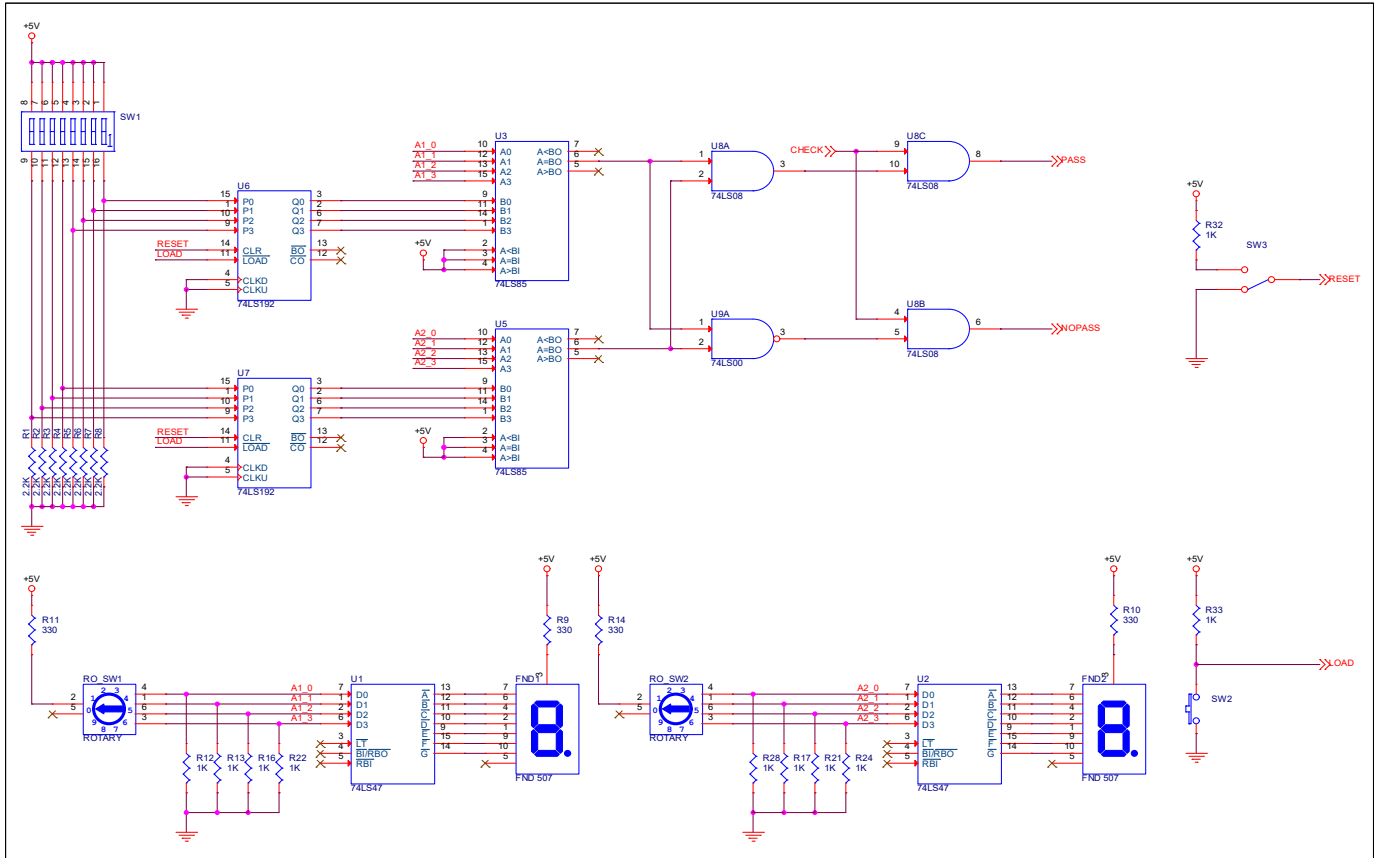
사. 비밀번호를 3회 틀릴 시에는, WARNING LED가 깜빡이고, 부저에서 경고음이 울리게 하시오.(경고음의 주기는 VR1으로 조정 가능함.) SW5를 OFF하면 경고음이 꺼지게 하시오.

4. 유의사항

가. 안전사고에 유의하시오.

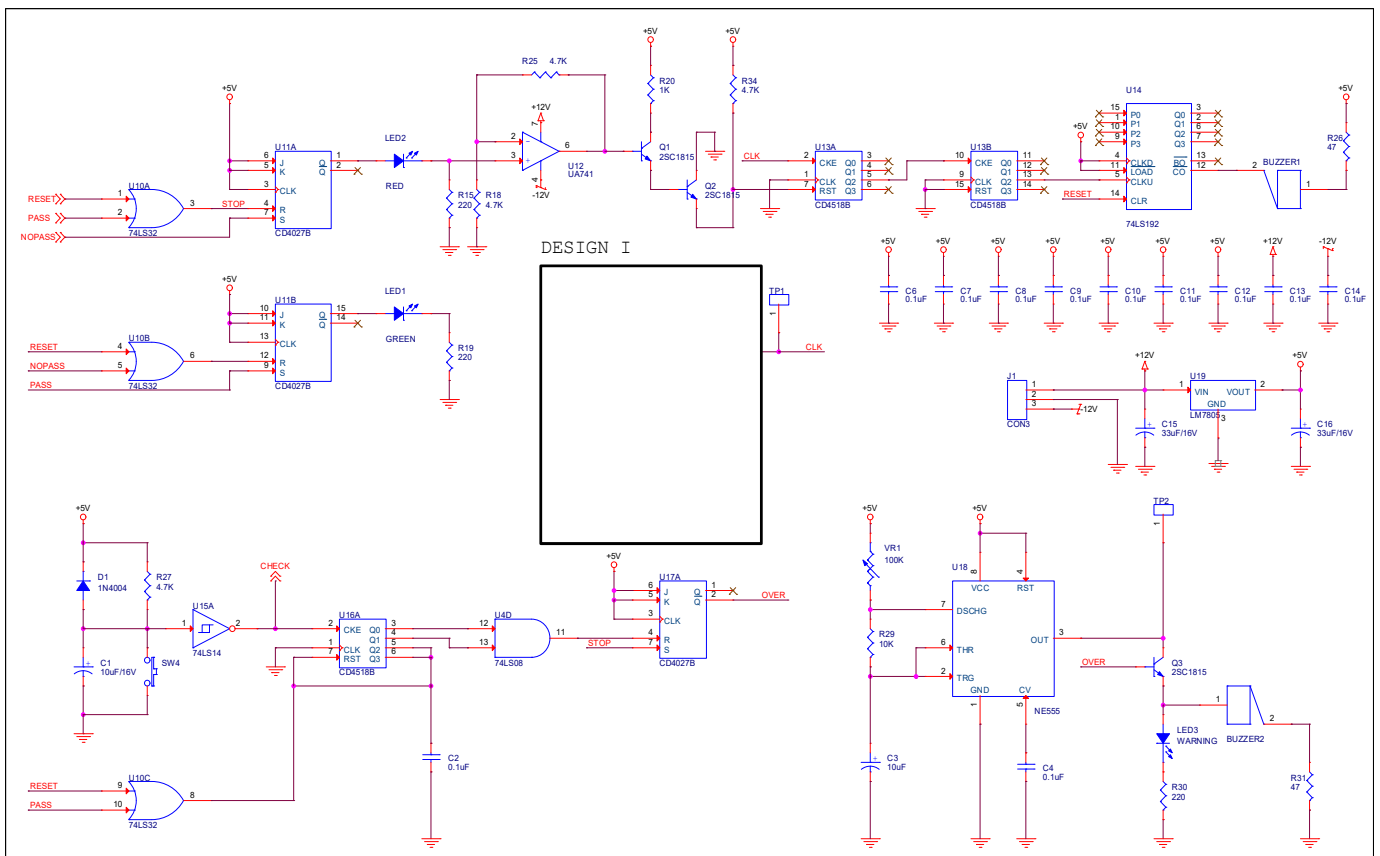
나. 심사의원 및 집행위원의 지시에 따라 작업하시오.

5. 회로도(#2-1)



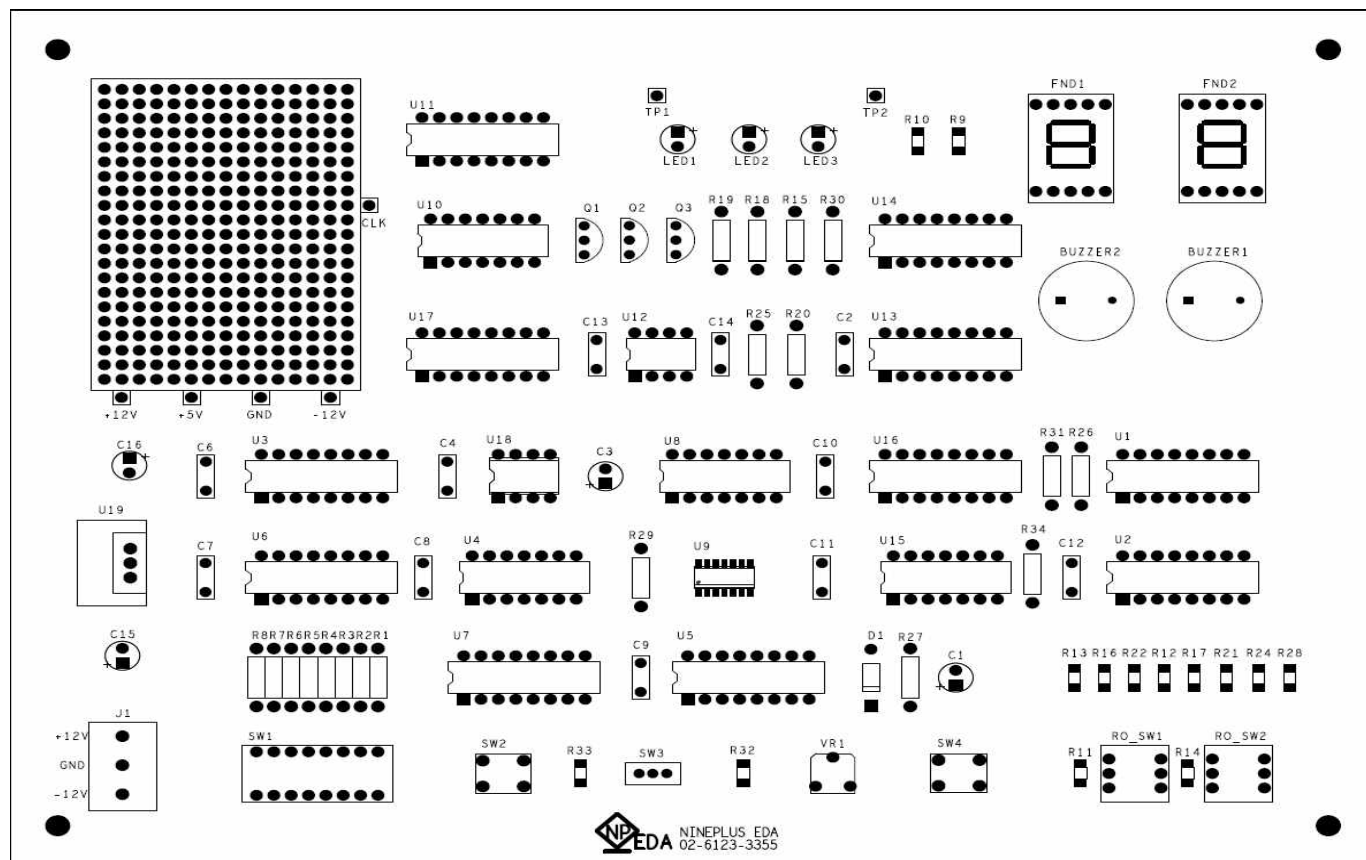
- 5 -

5. 회로도(#2-2)



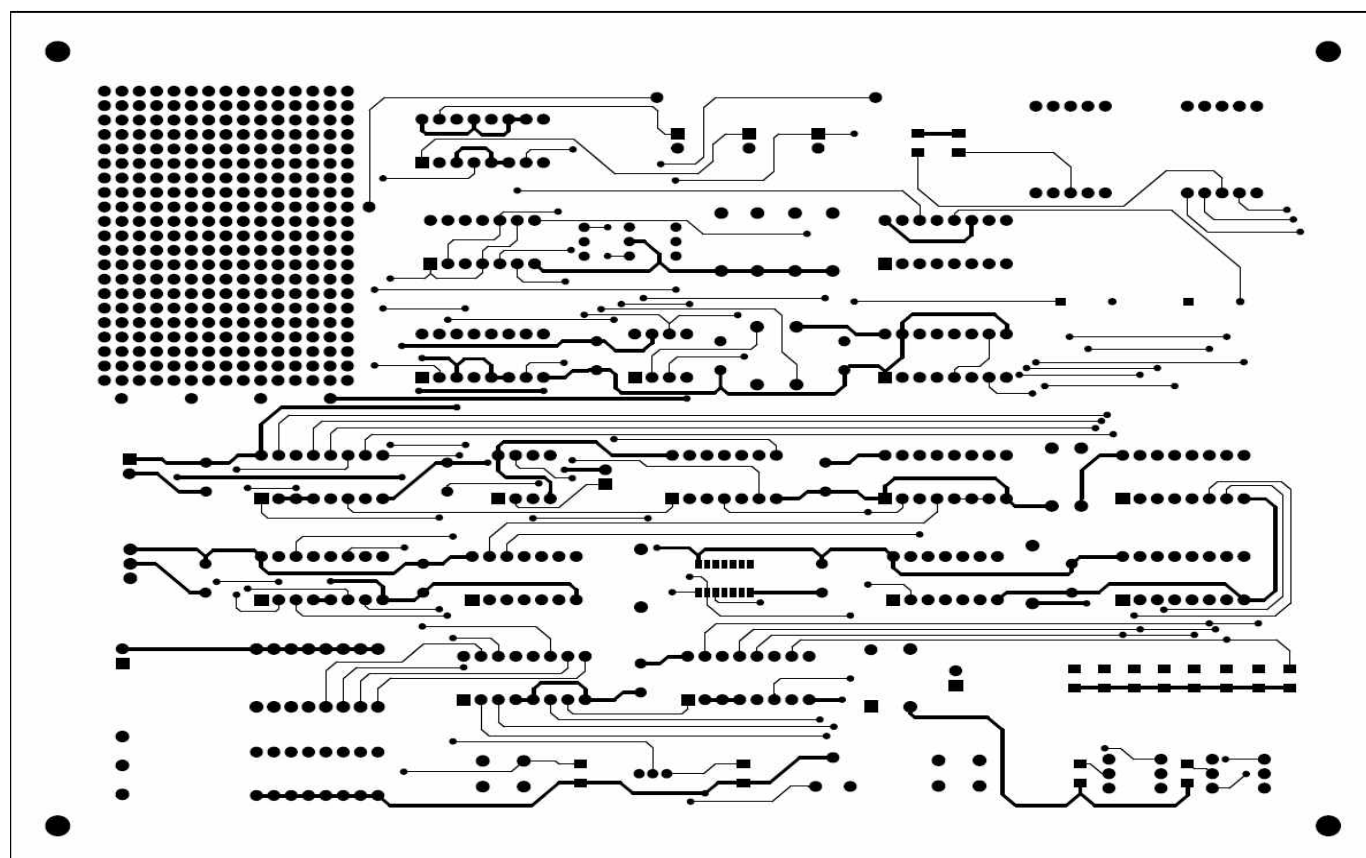
- 6 -

6 - 1. PCB 패턴도(SILK)



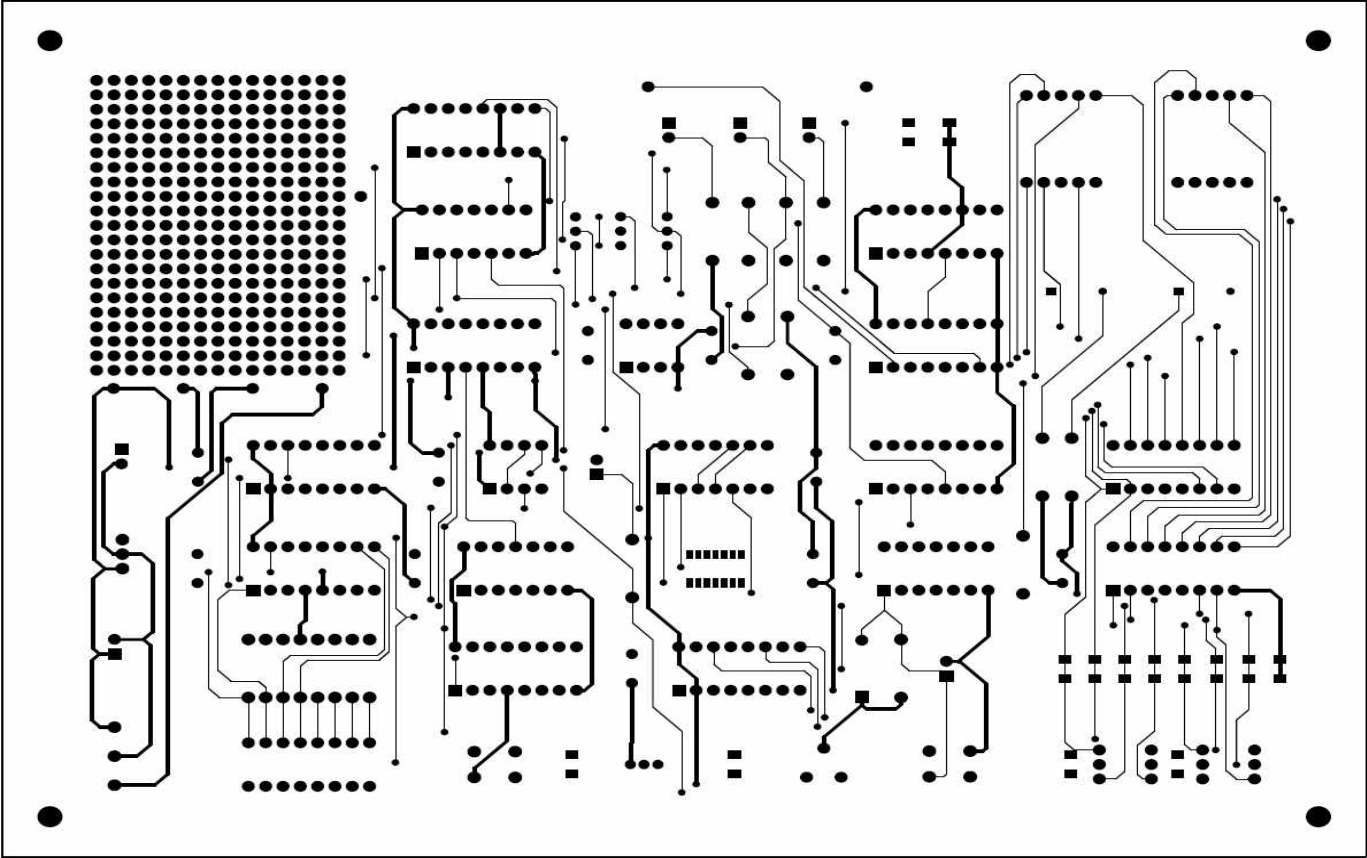
- 7 -

6 - 2. PCB 패턴도(TOP)



- 8 -

6 - 3. PCB 패턴도(BOTTOM)



| 7-1. 재 료 목 록 | | | 과제명 | 디지털금고 회로 | | |
|--------------|---------|-----------------|-----|----------|-----|--|
| 일련 번호 | 재 료 명 | 규 격(치수) | 단위 | 수량 | 비 고 | |
| 1 | IC | 74LS192 | 개 | 3 | | |
| 2 | IC | 74LS47 | 개 | 2 | | |
| 3 | IC | 74LS85 | 개 | 2 | | |
| 4 | Chip IC | 74LS08 | 개 | 2 | | |
| 5 | IC | 74HC00 | 개 | 1 | | |
| 6 | IC | MC4518 | 개 | 2 | | |
| 7 | IC | 74LS32 | 개 | 1 | | |
| 8 | IC | GD4027 | 개 | 2 | | |
| 9 | IC | 74LS14 | 개 | 1 | | |
| 10 | IC | NE555 | 개 | 1 | | |
| 11 | IC | LM741 | 개 | 2 | | |
| 12 | IC 소켓 | 8Pin | 개 | 3 | | |
| 13 | IC 소켓 | 14Pin | 개 | 4 | | |
| 14 | IC 소켓 | 16Pin | 개 | 11 | | |
| 15 | 반고정 저항 | 100[kΩ] | 개 | 2 | | |
| 16 | 저 항 | 47[Ω] 1/4W,1% | 개 | 2 | | |
| 17 | 침 저 항 | 330[Ω] (3216) | 개 | 4 | | |
| 18 | 저 항 | 2.2[kΩ] 1/4W,1% | 개 | 8 | | |
| 19 | 저 항 | 4.7[kΩ] 1/4W,1% | 개 | 5 | | |
| 20 | 침 저 항 | 1[kΩ] (3216) | 개 | 10 | | |
| 21 | 저 항 | 10[kΩ] 1/4W,1% | 개 | 1 | | |
| 22 | 저 항 | 20[kΩ] 1/4W,1% | 개 | 2 | | |
| 23 | 저 항 | 220[Ω] 1/4W,1% | 개 | 3 | | |
| 24 | LED | 5∅(GREEN) | 개 | 1 | | |
| 25 | LED | 5∅(RED) | 개 | 2 | | |

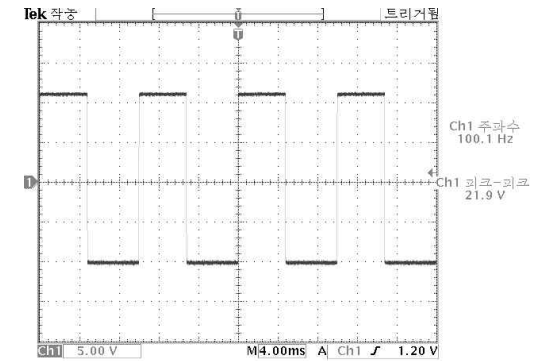
7-2. 재 료 목 록

| | | | 과제명 | 디지털 금고회로 | | |
|----------|-----------|------------------------|-----|----------|-----|--|
| 일련 번호 | 재 료 명 | 규 격(치수) | 단위 | 수량 | 비 고 | |
| 26 | 다이오드 | 1N4004 | 개 | 1 | | |
| 27 | 세라믹콘덴서 | 0.1[μ F] | 개 | 11 | | |
| 28 | 전해콘덴서 | 0.1[μ F] | 개 | 1 | | |
| 29 | 전해콘덴서 | 10[μ F] | 개 | 2 | | |
| 30 | 전해콘덴서 | 33[μ F] | 개 | 2 | | |
| 31 | TR | 2SC1815 | 개 | 3 | | |
| 32 | FND | 507 | 개 | 2 | | |
| 33 | 부저 | (DC 5V용 -11.7 ϕ) | 개 | 2 | | |
| 34 | SW | PUSH 4P | 개 | 2 | | |
| 35 | SW | SLIDE 3P | 개 | 1 | | |
| 36 | DIP SW | DIP-8(16PIN) | 개 | 1 | | |
| 37 | ROTARY SW | KDR10-K | 개 | 2 | | |
| 38 | 측정단자 | LC-2-G | 개 | 2 | | |
| 39 | 터미널 블록 | 3P | 개 | 1 | | |
| 40 | Regulator | LM7805 | 개 | 1 | | |
| 41 | 기판 | BARE PCB | 장 | 1 | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |
| | | | | | | |

8-1. 회로설계 답안지

DESIGN I

가. 다음 파형과 같이 주파수 100[Hz], V_{p-p} 22[V] 되도록 설계 하시오.



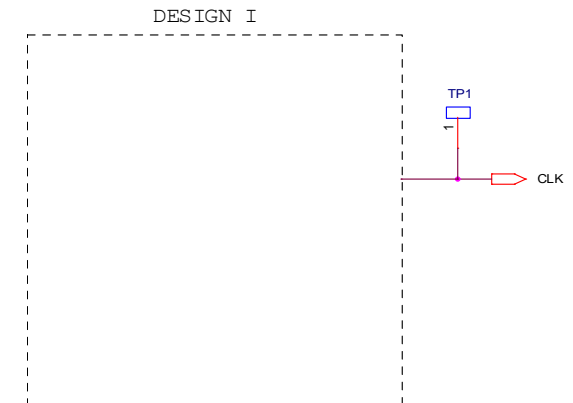
나. 주어진 부품과 Datasheet를 참고하여 설계하시오.

다. 사용 부품

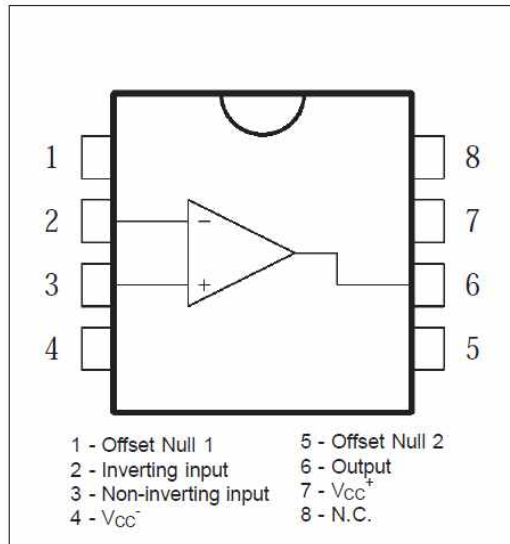
- (1) UA741 ----- 1개
- (2) 저항(20k) ----- 2개
- (3) 가변저항(100k) ----- 1개
- (4) 세라믹 콘덴서(0.1 μ F) ----- 1개

라. 설계과정

◇ 회로설계

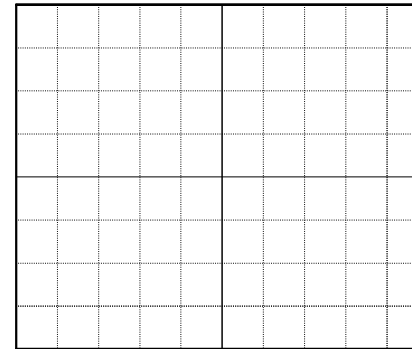


PIN MAP



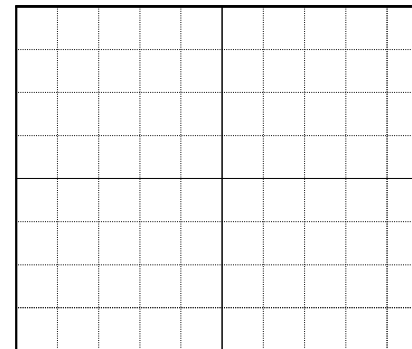
9. 측정 답안지

TP1



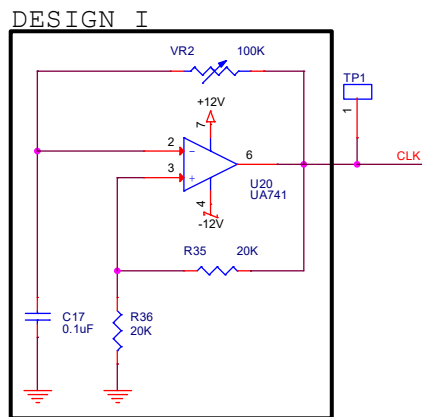
주파수 :
 V_{p-p} :

TP2



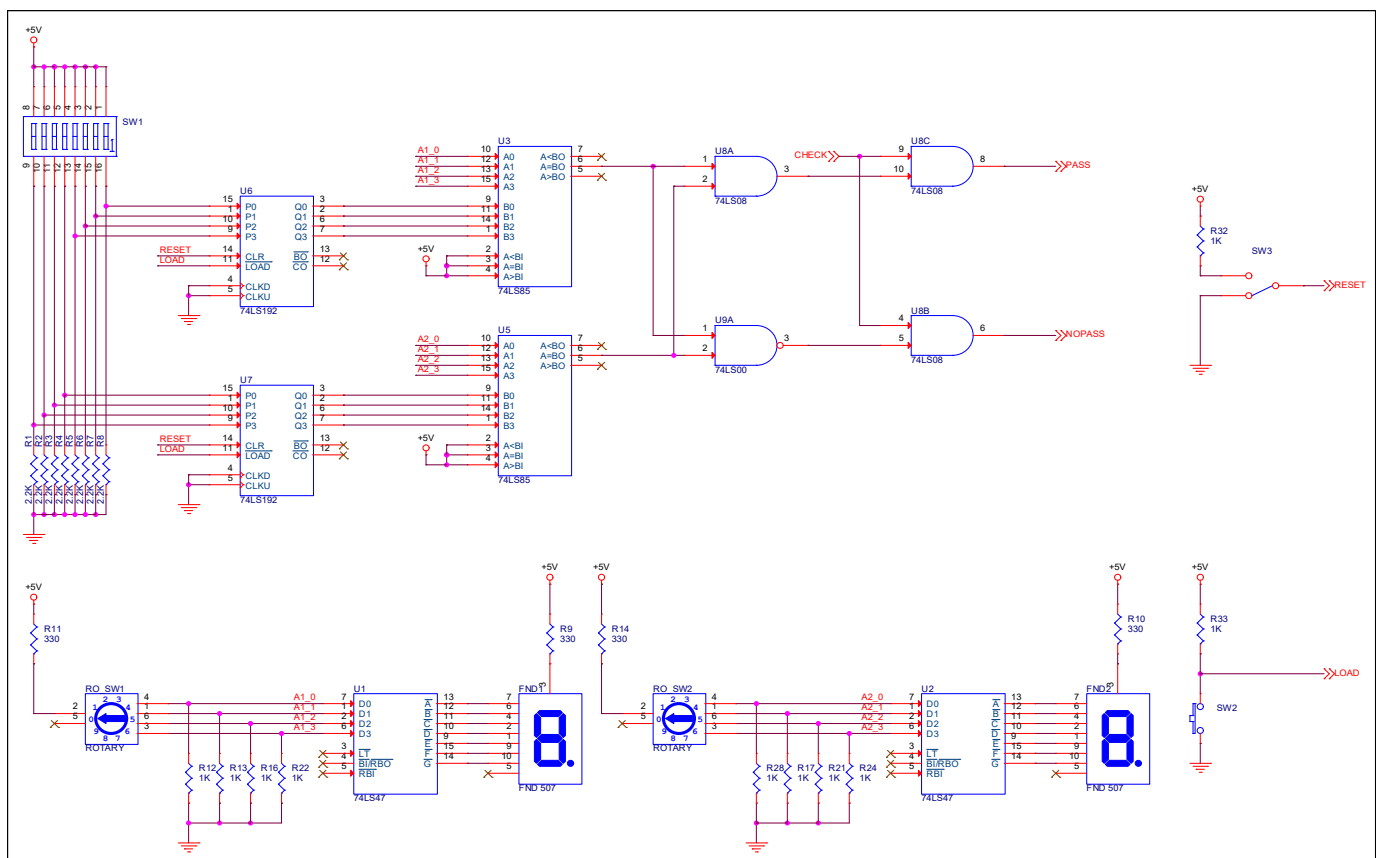
주파수 :
 V_{p-p} :
Positive duty Cycle :

10. 회로설계 정답지

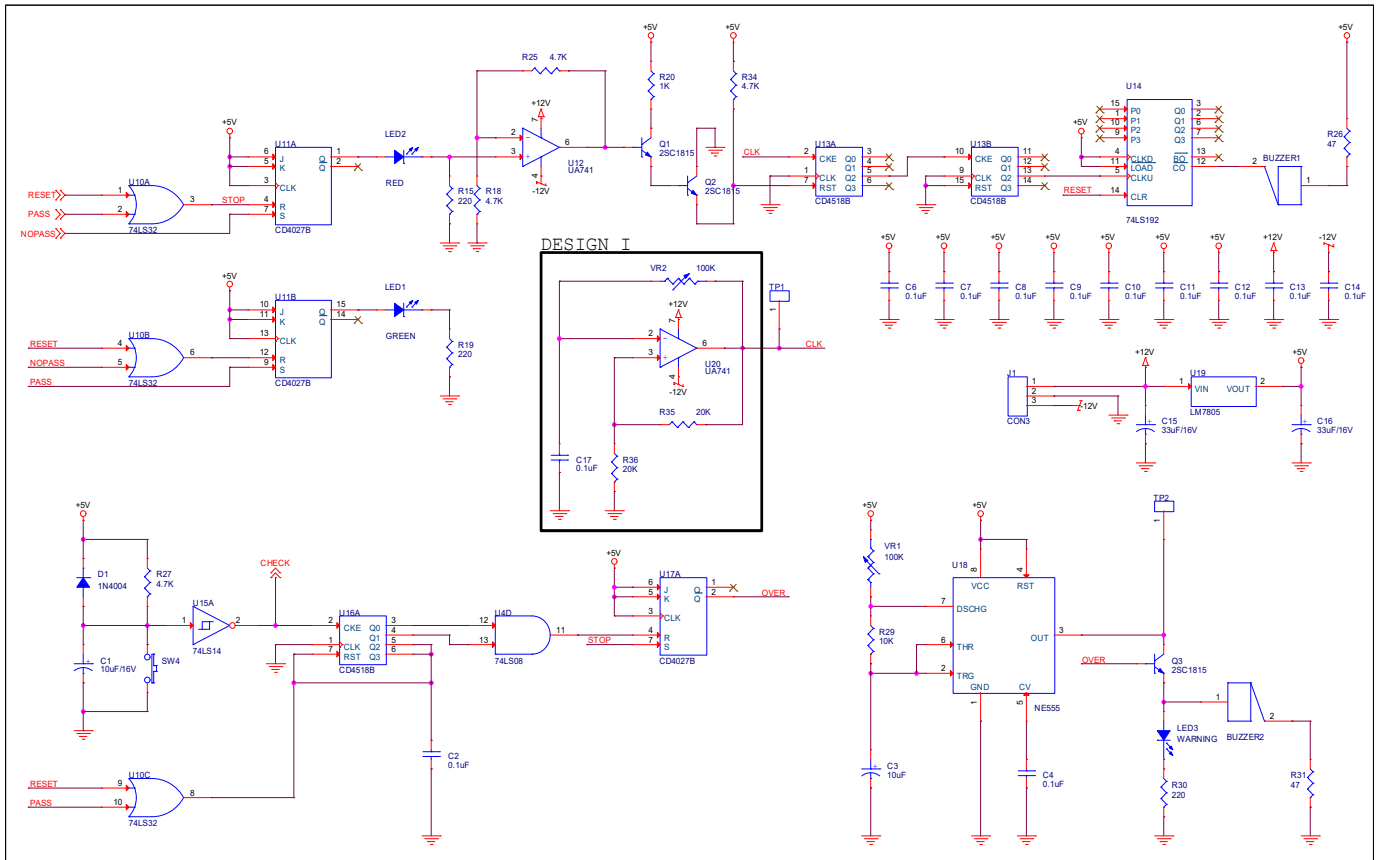


- 15 -

11. 회로설계 정답 도면(#2-1)

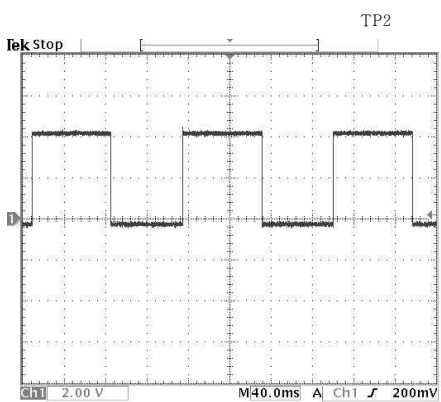
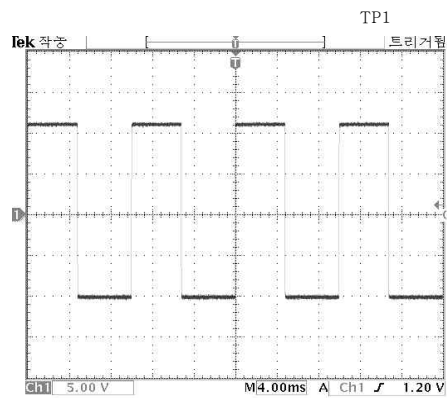


11. 회로설계 정답 도면(#2-2)

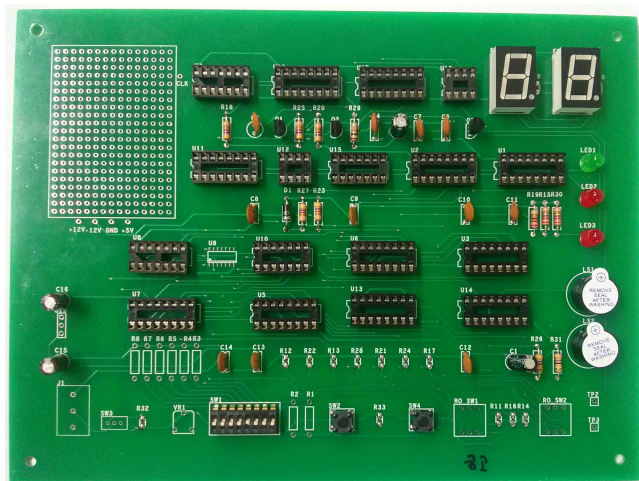
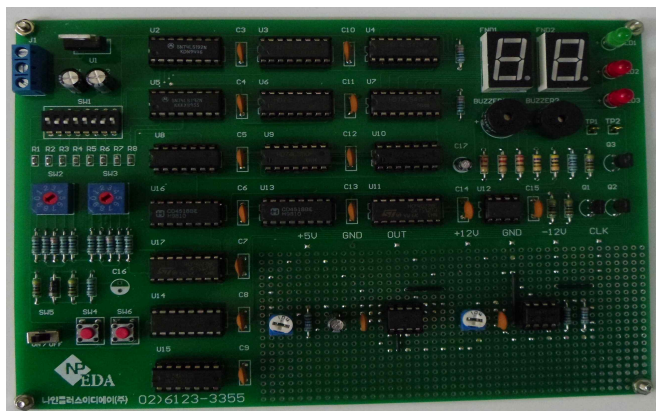


- 17 -

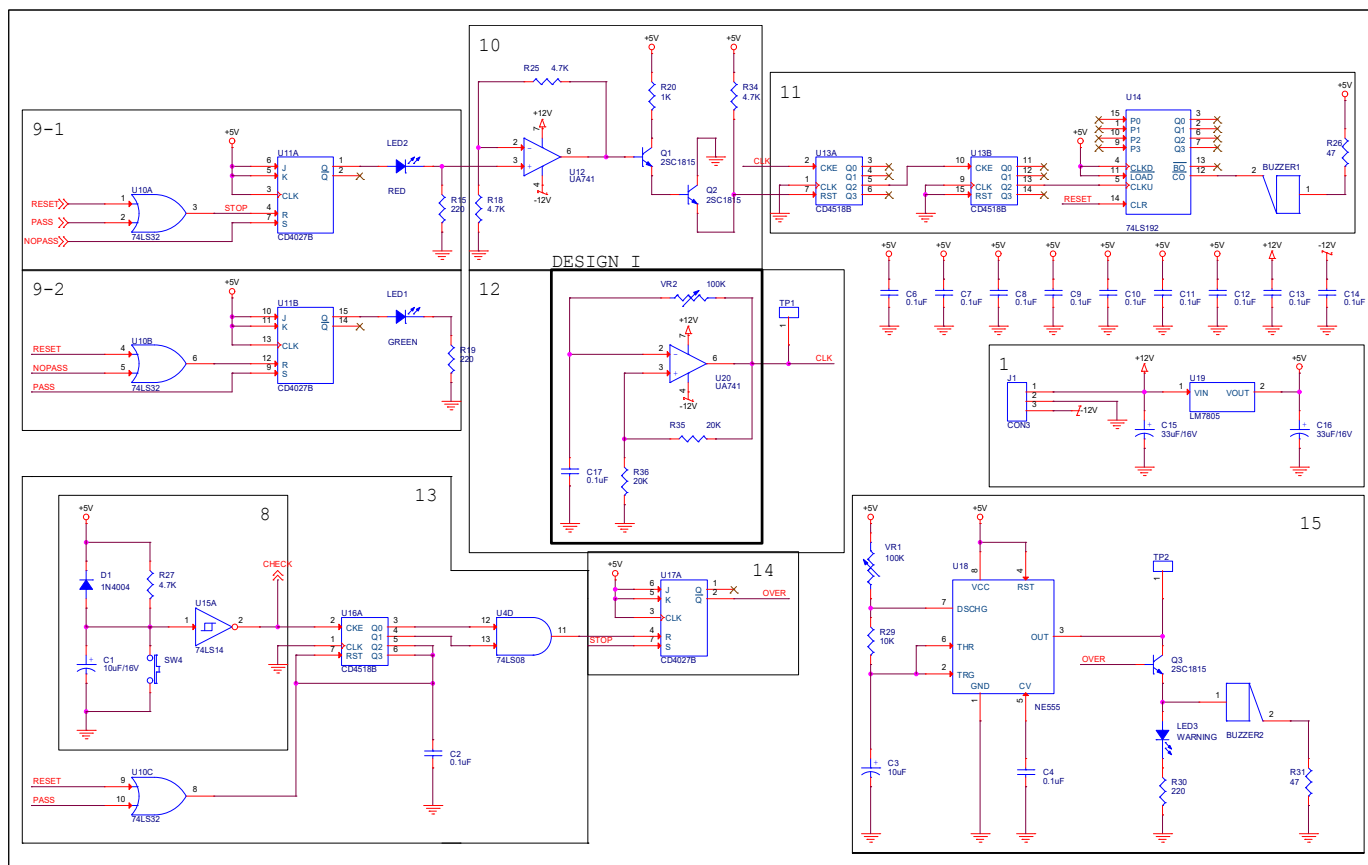
12. 측정 정답지



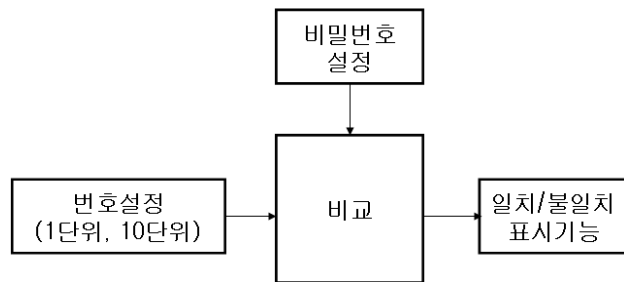
13. 작품 사진



- 19 -

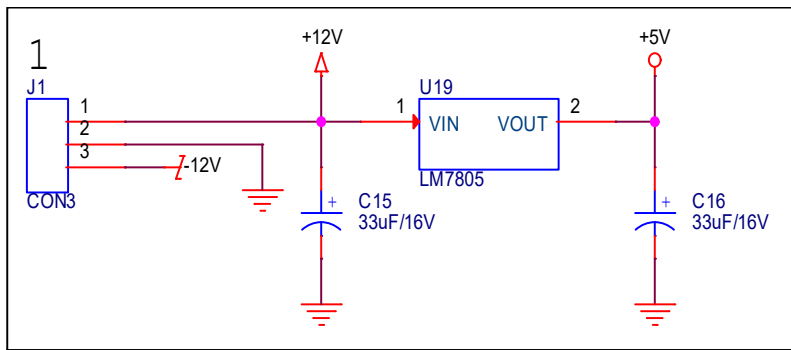


가. BLOCK DIAGRAM

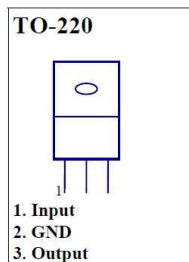


나. 동작 설명

(1) LM7805 (Positive Voltage Regulator)를 이용한 정전압 회로



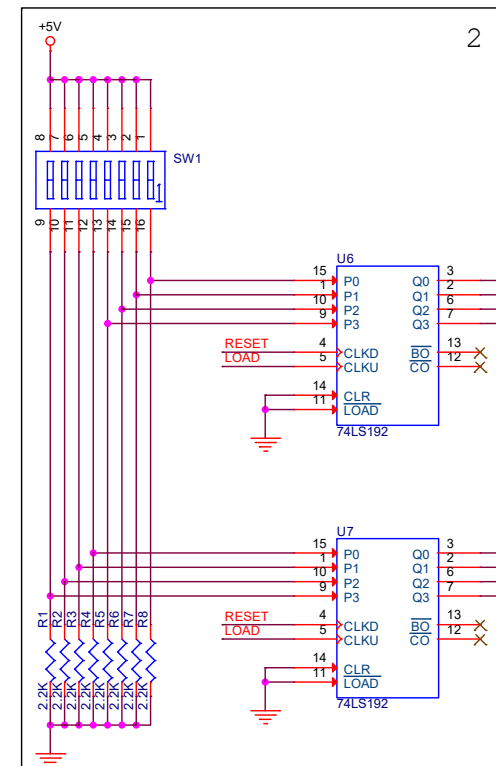
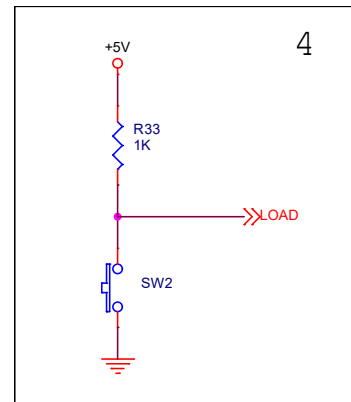
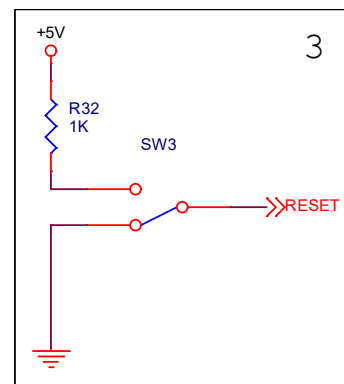
(가) LM7805(Positive Voltage Regulator) 구조



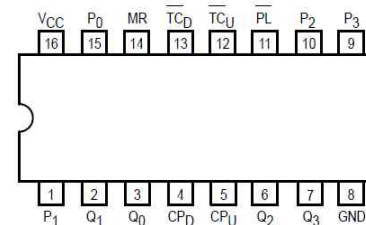
(나) LM7805(Positive Voltage Regulator) 동작 원리

- ① 1번 핀(Voltage Input)으로 약 5V~35V까지 인가하고, 2번 핀(GND)을 접지 (GND) 시키면 3번 핀(Voltage Output)에서 5V~18V의 출력을 얻을 수 있다. LM7805는 출력으로 +5V를 출력한다.

(2) 74LS192(Presetable BCD/DECADE UP/DOWN Counter)를 이용한 비밀번호 설정



(가) 74LS192(Presetable BCD / DECADE UP / DOWN Counter) IC 구조



* 제조 회사에 따라 핀 명칭이 조금 씩 다르더라도 핀의 역할은 같다.

(나) 74LS192(Presetable BCD / DECADE UP / DOWN Counter)의 동작 원리

| MODE SELECT TABLE | | | | |
|-------------------|----|-----------------|-----------------|----------------|
| MR | PL | CP _U | CP _D | MODE |
| H | X | X | X | Reset (Asyn.) |
| L | L | X | X | Preset (Asyn.) |
| L | H | H | H | No Change |
| L | H | ┐ | H | Count Up |
| L | H | ┘ | H | Count Down |

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
┐ = LOW-to-HIGH Clock Transition
┘ = LOW-to-HIGH Clock Transition

- MR(14번 핀) 단자가 High 이고 PL(11번 핀), CP_u(5번 핀), CP_D(4번 핀) 단 자가 don't care 이면 Reset 으로 동작한다.
- MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 Low 이고 CP_u(5번 핀), CP_D(4번 핀) 단자가 don't care 이면 Preset 으로 동작한다.
- MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 High 이고 CP_u(5번 핀) 단 자에 Clock Pulse가 입력되고 CP_D(4번 핀) 단자가 High 이면 Up Counter 로 동작한다.
- MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 High, CP_u(5번 핀) 단자가 High 이고 CP_D(4번 핀) 단자에 Clock Pulse가 입력되면 Down Counter로 동 작한다.
- 1번, 9번, 10번, 15번 핀(Parallel Data Inputs 단자.) 설정에 따라 74LS192 의 초기 Counter 값을 설정한다.
- 12번 핀 (Terminal Count Up Output 단자.)은 Counter가 “9”에서 “0”으로 넘 어가는 순간 Pulse를 하나 발생시키므로 다음 단의 Clock Pulse로 사용한다.
- 13번 핀 (Terminal Count Down Output 단자.)은 Counter가 “0”에서 “9”으로 넘어가는 순간 Pulse를 하나 발생시키므로 다음 단의 Clock Pulse로 사용한다.

(다) 회로 동작

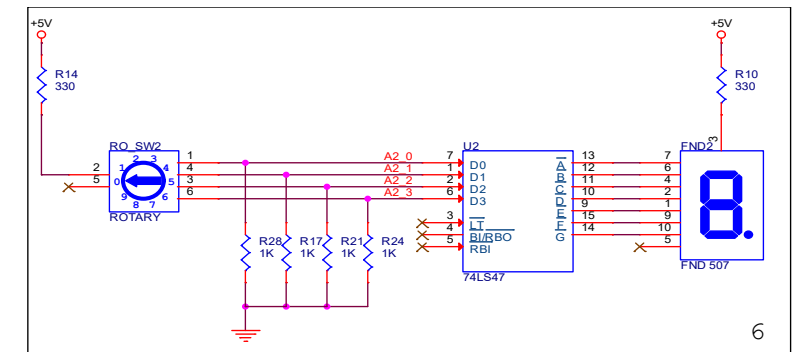
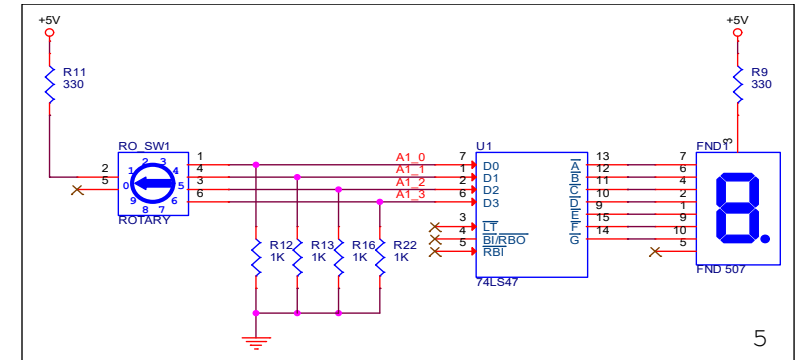
- 74LS192(U6, U7)는 CP_u(5번 핀), CP_D(4번 핀)을 접지(GND)시켜서 PL(11 번 핀), MR(14번 핀)의 입력에 따라 Reset과 Preset으로 동작만 하게 설계 하였다.

| MODE SELECT TABLE | | | | |
|-------------------|----|-----------------|-----------------|----------------|
| MR | PL | CP _U | CP _D | MODE |
| H | X | X | X | Reset (Asyn.) |
| L | L | X | X | Preset (Asyn.) |
| L | H | H | H | No Change |
| L | H | ┐ | H | Count Up |
| L | H | ┘ | H | Count Down |

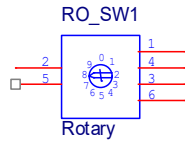
L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
┐ = LOW-to-HIGH Clock Transition
┘ = LOW-to-HIGH Clock Transition

- SW3을 OFF(High) 상태로 놓으면 74LS192(U6, U7)는 PL(11번 핀)이 SW2 를 누르기 전에는 항상 High 신호가 입력되므로 Reset 상태가 된다. Reset 상태로 SW1를 사용하여 비밀번호를 입력하게 된다. 즉, 74LS192(U6, U7)의 초기 값을 설정하게 된다. 74LS192(U6)는 십의자리, 74LS192(U7)은 일의 자리를 나타낸다.
- 74LS192(U6, U7)는 1번, 9번, 10번, 15번 핀(Parallel Data Inputs 단자) 설 정에 따라 74LS192의 초기 Counter 값을 설정한다.
여기서는 Counter로 사용하지 않고 Reset과 Preset으로만 사용하므로 SW1을 사용하여 74LS192(U6, U7)의 초기 값을 설정하고 나서 SW3을 ON(GND) 상태로 놓고, SW2를 누르면 순간 Low(GND)가 되어 Preset 상태로 되므로 입력에서 설정한 값이 출력 Q₀(3번 핀), Q₁(2번 핀), Q₆(6번 핀), Q₇(7번 핀)으로 그대로 출력된다.
- 74LS192(U6, U7)에서 출력된 값은 74LS85(U3, U5)로 입력된다.

(3) Rotary SW를 이용한 1의 자리, 10의 자리 비밀 번호 세팅



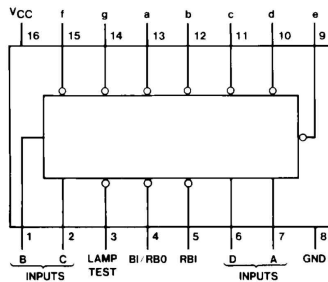
(가) Rotary SW의 구조



(나) Rotary SW의 동작 원리

- ① 2번 핀, 5번 핀은 Common(공통)단자로 High(+5V)에 연결한다.
- ② 1번 핀, 4번 핀, 3번 핀, 6번 핀은 출력 단자로 SW의 가운데 조정 레벨을 조정하여 숫자에 맞추면 BCD 값을 출력한다. 즉 조정 레벨을 “8”에다 맞추면 출력은 1번 핀(Low), 4번 핀(Low), 3번 핀(Low), 6번 핀(High)가 된다.

(다) 74LS47(BCD to 7-Segment Decoders / Drivers) IC 구조



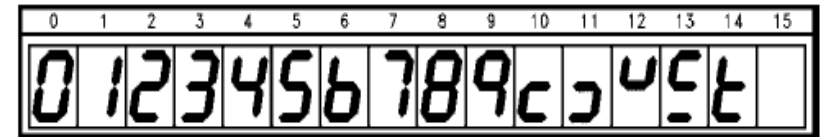
(라) 74LS47(BCD to 7-Segment Decoders / Drivers) 동작 원리

Function Table

| Decimal or Function | LT | RBI | D | C | B | A | BI/RBO (Note 1) | a | b | c | d | e | f | g | Note |
|---------------------|----|-----|---|---|---|---|--------------------|---|---|---|---|---|---|---|----------|
| 0 | H | H | L | L | L | L | H | L | L | L | L | L | L | H | (Note 2) |
| 1 | H | X | L | L | L | H | H | H | L | L | H | H | H | H | |
| 2 | H | X | L | L | H | L | H | L | L | H | L | L | H | L | |
| 3 | H | X | L | L | H | H | H | L | L | L | L | H | H | L | |
| 4 | H | X | L | H | L | L | H | H | L | L | H | H | L | L | |
| 5 | H | X | L | H | L | H | H | L | H | L | L | H | L | L | |
| 6 | H | X | L | H | H | L | H | H | H | L | L | L | L | L | |
| 7 | H | X | L | H | H | H | H | L | L | L | H | H | H | H | |
| 8 | H | X | H | L | L | L | H | L | L | L | L | L | L | L | |
| 9 | H | X | H | L | L | H | H | L | L | L | H | H | L | L | |
| 10 | H | X | H | L | H | L | H | H | H | H | L | L | H | L | |
| 11 | H | X | H | L | H | H | H | H | H | L | L | H | H | L | |
| 12 | H | X | H | H | L | L | H | H | L | H | H | H | L | L | |
| 13 | H | X | H | H | L | H | H | L | H | H | L | H | L | L | |
| 14 | H | X | H | H | H | L | H | H | H | H | L | L | L | L | |
| 15 | H | X | H | H | H | H | H | H | H | H | H | H | H | H | |
| BI | X | X | X | X | X | X | L | H | H | H | H | H | H | H | (Note 3) |
| RBI | H | L | L | L | L | L | L | H | H | H | H | H | H | H | (Note 4) |
| LT | L | X | X | X | X | X | H | L | L | L | L | L | L | L | (Note 5) |

H = HIGH level, L = LOW level, X = Don't Care

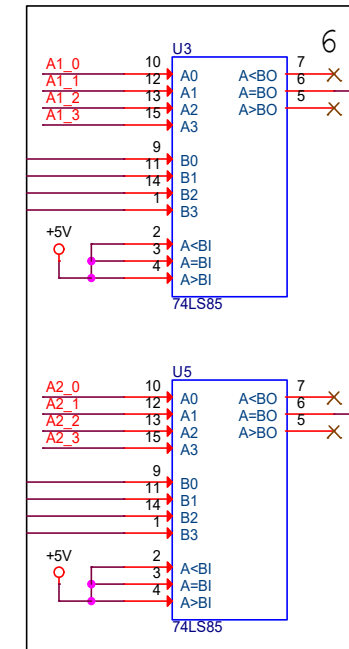
- ① 74LS47은 FND Driver로 3번 핀(LT-Lamp Test) High(+5V), 5번 핀 (RBI-Ripple Blanking Input) Don't Care, 4번 핀(BI/RBO - Blanking Input) High(+5V)에 연결해야만 FND Driver로 동작을 한다.
- ② 74LS47은 부논리로 동작하기 때문에 FND는 Common Anode 타입을 사용해야 한다.
- ③ FND의 숫자 표현은 다음과 같다.



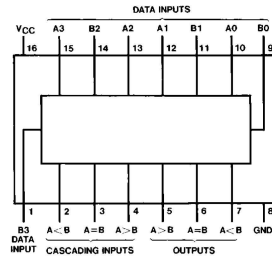
(마) 회로 동작

- ① Rotary SW의 조정 레벨을 조정하여 숫자를 맞추면 출력으로 BCD 값이 출력되어 74LS47(U1, U2)과 74LS85(U3, U5)의 입력된다.
- ② 입력된 BCD 값은 FND1(십의자리)와 FND2(일의자리)에 10진수의 숫자로 표시된다.

(4) 74LS85(4Bit Magnitude Comparator)를 이용한 비밀 번호 일치 불일치 비교 회로



(가) 74LS85(4Bit Magnitude Comparator) IC 구조



(나) 74LS85(4Bit Magnitude Comparator) 동작 원리

Function Table

| Comparing Inputs | | | | Cascading Inputs | | | Outputs | | |
|------------------|---------|---------|---------|------------------|-------|-------|---------|-------|-------|
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | A > B | A < B | A = B | A > B | A < B | A = B |
| A3 > B3 | X | X | X | X | X | X | H | L | L |
| A3 < B3 | X | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 > B2 | X | X | X | X | X | H | L | L |
| A3 = B3 | A2 < B2 | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 > B1 | X | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 < B1 | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 > B0 | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 < B0 | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | L | L | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | H | L | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | X | X | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | H | L | L | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | L | H | H | L |

H = HIGH Level, L = LOW Level, X = Don't Care

- A0~A3과 B0~B3에 입력되는 값을 비교하여 대소 관계를 나타내게 된다.
- A0~A3과 B0~B3 4Bit의 비교 값이 모두 같지 않을 경우는 이미 상위 비트에서 크기가 결정 나기 때문에 2번, 3번, 4번 핀 (Cascading Inputs 단자)의 입력에 상관없이 대소를 비교하여 5번, 6번, 7번 핀 (Output 단자)으로 대소에 해당되는 핀으로 High 신호를 출력으로 내보낸다.
- A0~A3과 B0~B3 4Bit의 비교 값이 모두 같을 때, 2번, 3번, 4번 핀(Cascading Inputs 단자)의 입력 값에 따라 출력이 변하게 된다. 2번 핀(A<B)에 High(+5V) 신호가 입력되고, 3번 핀(A=B), 4번 핀(A>B)은 Low 신호가 입력되면 7번 핀(A<B)에서 High가 출력되어 B가 큰 것으로 판별한다.
3번 핀(A=B)에 High(+5V) 신호가 입력되고 2번 핀(A<B), 4번 핀(A>B)은 Low 신호가 입력되면 6번 핀(A=B)에서 High가 출력되어 A와 B의 크기가 같다고 판별한다. 4번 핀(A>B)에 High(+5V) 신호가 입력되고 2번 핀(A<B), 3번 핀(A=B)은 Low 신호가 입력되면 5번 핀(A>B)에서 High가 출력되어 A>B보다 크다고 판별하게 된다.

(다) 회로 동작

- 2번, 3번, 4번 핀 (Cascading Inputs)을 High(+5V)로 연결한 것은 A0 ~ A3과 B0~B3 4Bit의 비교 값이 같을 때 6번 핀(A=B)에서 High(+5V)가 출력되게 하기 위해서다. Truth Table(진리표)를 보면 A=B 일 때는 두 가지 조건 밖에 없다. 3번 핀(A=B)에 High(+5V) 신호가 입력되고 2번 핀(A<B), 4번 핀(A>B)은 Low(GND)와 연결하던지 아니면 3번 핀(A=B)에 High(+5V) 신호가 입력되고 2번 핀(A<B), 4번 핀(A>B)은 Don't care 로 연결하는 것이다. Don't care는 High(+5V)가 연결되던 Low(GND)가 연결되던 상관이 없기 때문이다.

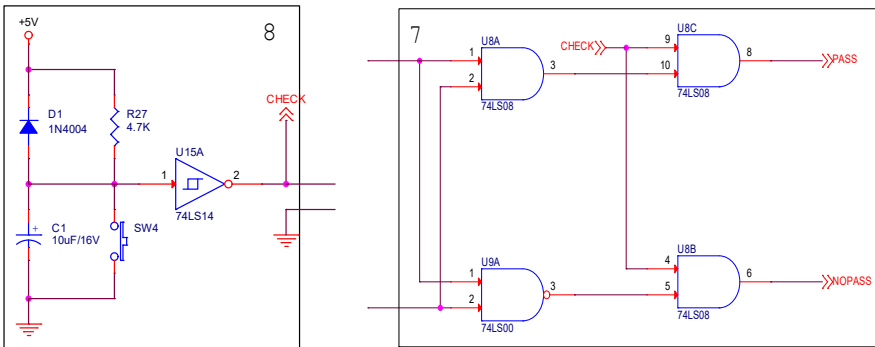
Function Table

| Comparing Inputs | | | | Cascading Inputs | | | Outputs | | |
|------------------|---------|---------|---------|------------------|-------|-------|---------|-------|-------|
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | A > B | A < B | A = B | A > B | A < B | A = B |
| A3 > B3 | X | X | X | X | X | X | H | L | L |
| A3 < B3 | X | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 > B2 | X | X | X | X | X | H | L | L |
| A3 = B3 | A2 < B2 | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 > B1 | X | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 < B1 | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 > B0 | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 < B0 | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | L | L | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | H | L | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | X | X | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | H | L | L | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | L | H | H | L |

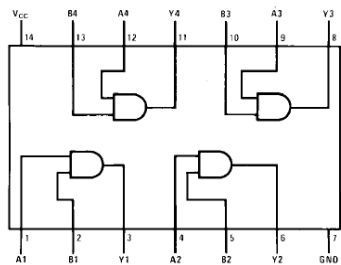
H = HIGH Level, L = LOW Level, X = Don't Care

- 74LS85(U3, U5)는 74LS192(U6, U7)과 74LS47(U1, U2)의 출력 값을 입력으로 받아 두 값의 대소를 비교하여 어느 쪽 값이 큰지, 작은지, 같은지를 판별한다.
- 74LS85(U3, U5)는 입력된 두 값을 비교하여 두 값이 같을 때의 출력 신호만 다음 회로의 입력으로 사용하였다.

(5) 74LS00(2-Input NAND GATE), 74LS08(2-Input AND GATE)과 One-Shot
(채터링 방지 회로) 펄스 발생기를 이용한 비밀 번호의 일치/불일치 판독 회로



(가) 74LS08(2-Input And Gate) IC의 구조 및 동작표



Function Table

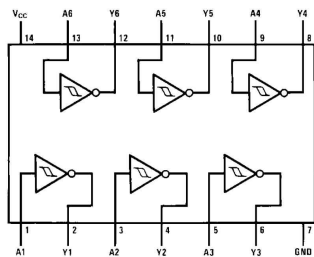
$$Y = AB$$

| Inputs | | Output |
|--------|---|--------|
| A | B | Y |
| L | L | L |
| L | H | L |
| H | L | L |
| H | H | H |

H = HIGH Logic Level
L = LOW Logic Level

- ① 74LS08은 한쪽 입력이 Low 이면 출력은 항상 Low이고 두 입력 모두 High가 되어야 출력은 High가 된다.

(나) 74LS14(Hex Inverter with Schmitt Trigger Input) IC의 구조 및 동작원리



Function Table

$$Y = \bar{A}$$

| Input | Output |
|-------|--------|
| A | Y |
| L | H |
| H | L |

H = HIGH Logic Level
L = LOW Logic Level

- ① 74LS14는 입력이 Low 이면 출력은 High이고 입력이 High 이면 출력은 Low가 된다.

(라) 회로 동작

1) 비밀 번호가 일치할 경우

- ① SW1으로 설정한 비밀 번호와 Rotary SW로 입력한 비밀 번호가 일치할 경우 74LS85(U3, U5)의 출력 6번 핀에서 High 신호가 출력된다.
- ② 74LS08(U8A)와 74LS00(U9A)의 두 입력 1번 핀 과 2번 핀에 High 신호가 입력되어 74LS08(U8A)의 출력은 High가 되고 74LS00(U9A)의 출력은 Low가 된다.
- ③ 74LS08(U8C)의 10번 핀에 High 신호가 입력되고, 74LS08(U8B)의 5번 핀에 Low 신호가 입력되며 74LS08(U8B)의 출력은 CHECK 신호가 High, Low 신호에 상관없이 Low 신호가 출력되지만, 74LS08(U8C)의 출력은 CHECK 신호가 출력 신호를 결정하게 된다. CHECK 신호가 High이면 출력은 High가 되고, CHECK 신호가 Low이면 출력은 Low가 된다.
- ④ SW4를 누르기 전에는 CHECK 신호는 항상 Low가 출력되어 74LS08(U8B, U8C)의 4번 핀과 9번 핀으로 인가되어 74LS08(U8B, U8C)는 5번 핀, 10번 핀 신호에 상관없이 항상 Low 신호가 출력된다. 그러나 SW4를 누르는 순간 CHECK 신호는 High 신호가 되어 74LS08(U8B, U8C)는 5번 핀, 10번 핀 신호에 따라 출력이 결정 된다.
- ⑤ 비밀 번호가 일치할 경우 74LS08(U8A)의 출력은 High, 74LS00(U9A)의 출력은 Low가 되며 SW4를 누르는 순간 CHECK 신호는 High가 되어 74LS08(U8B)의 출력은 Low 신호가 출력되며 74LS08(U8C)의 출력은 High 신호가 출력되어 비밀 번호가 일치됨을 알 수 있다.

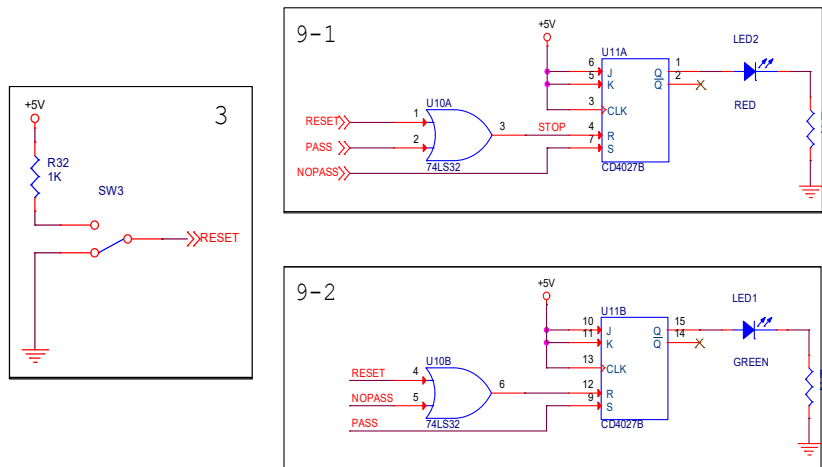
2) 비밀 번호가 불일치 할 경우

- ① SW1으로 설정한 비밀 번호와 Rotary SW로 입력한 비밀 번호가 불일치 할 경우는 3가지 경우가 있다. 일의 자리는 일치, 십의 자리는 불일치인 경우와 일의 자리는 불일치, 십의 자리는 일치인 경우와 둘 다 불일치인 경우다. 불일치 일 경우 74LS85(U3)과 74LS85(U5) 중 하나는 무조건 출력(6번 핀)에 Low 신호가 출력되고 또는 둘 다 출력(6번 핀)에 Low 신호가 출력된다. 따라서 74LS08(U8A)와 74LS00(U9A)의 한쪽 입력은 항상 Low 신호가 입력된다.
- ② 74LS08(U8A)와 74LS00(U9A)의 한쪽 입력에 Low 신호가 입력되므로 74LS08(U8A)의 출력은 항상 Low, 74LS00(U9A)의 출력은 High가 되어 74LS08(U8C)의 10번 핀에 Low 신호가 입력되고 74LS08(U8B)의 5번 핀에 High 신호가 입력된다.

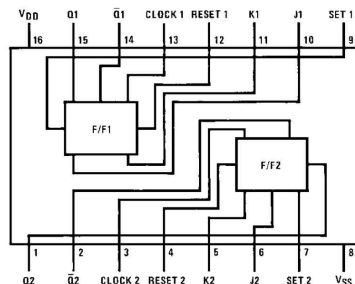
③ SW4를 누르기 전에는 CHECK 신호는 항상 Low가 출력되어 74LS08(U8B, U7C)의 4번 핀과 9번 핀으로 인가되어 74LS08(U8B, U8C)는 5번 핀, 10번 핀 신호에 상관없이 항상 Low 신호가 출력된다. 그러나 SW4를 누르는 순간 CHECK 신호는 High 신호가 되어 74LS08(U8B, U8C)는 5번 핀, 10번 핀 신호에 따라 출력이 결정 된다.

④ 비밀 번호가 불일치할 경우 74LS08(U8A)의 출력은 Low, 74LS00(U9A)의 출력은 High가 되며 SW4를 누르는 순간 CHECK 신호는 High가 되어 74LS08(U8B)의 출력은 High 신호가 출력되며 74LS08(U8C)의 출력은 Low 신호가 출력되어 비밀 번호가 불일치됨을 알 수 있다.

(6) CD4027(Dual J-K Master / Slave Flip-Flop with Set and Reset)을 이용한 비밀 번호 일치 불일치 표시



(가) CD4027(Dual J-K Master / Slave Flip-Flop with Set and Reset) IC 구조



(나) CD4027(Dual J-K Master / Slave Flip-Flop with Set and Reset) 동작 원리

Truth Table

| Inputs t_{n-1} (Note 1) | | | | | | Outputs t_n (Note 2) | |
|------------------------------|---|---|---|---|---|---------------------------|-----------|
| CL (Note 3) | J | K | S | R | Q | Q | \bar{Q} |
| ✓ | 1 | X | 0 | 0 | 0 | 1 | 0 |
| ✓ | X | 0 | 0 | 0 | 1 | 1 | 0 |
| ✓ | 0 | X | 0 | 0 | 0 | 0 | 1 |
| ✓ | X | 1 | 0 | 0 | 1 | 0 | 1 |
| ✓ | X | X | 0 | 0 | X | (No Change) | |
| X | X | X | 1 | 0 | X | 1 | 0 |
| X | X | X | 0 | 1 | X | 0 | 1 |
| X | X | X | 1 | 1 | X | 1 | 1 |

1 = HIGH Level

0 = LOW Level

X = Don't Care

✓ = LOW-to-HIGH

✓ = HIGH-to-LOW

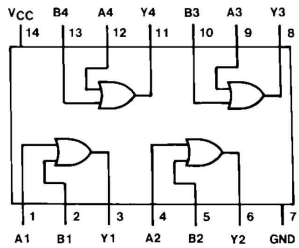
Note 1: t_{n-1} refers to the time interval prior to the positive clock pulse transition

Note 2: t_n refers to the time intervals after the positive clock pulse transition

Note 3: Level Change

- ① CD4027은 출력을 Toggle(반전) 시키거나, 현재 상태를 유지 시키거나 또는 Set, Reset 단자를 활용하여 출력을 High, Low 상태로 유지하게 할 수 있다.
- ② 13번 핀(3번 핀)에 Clock Pulse를 인가하고 J(10번 핀, 6번 핀)와 K(11번 핀, 5번 핀)단자에 High(+5V)을 입력하고 S(9번 핀, 7번 핀)와 R(12번 핀, 4번 핀)을 Low(GND) 시키면 CD4027은 Toggle(반전) 동작을 한다.
- ③ 13번 핀(3번 핀)에 Clock Pulse를 인가하고 J(10번 핀, 6번 핀)와 K(11번 핀, 5번 핀)단자에 Low(GND)을 입력하고 S(9번 핀, 7번 핀)와 R(12번 핀, 4번 핀)을 Low(GND) 시키면 CD4027은 현재 상태를 유지하는 동작을 한다.
- ④ Clock(13번 핀, 3번 핀), J(10번 핀, 6번 핀), K(11번 핀, 5번 핀)단자를 Don't Care(무정의 조건)로 동작하게 하고 S(9번 핀, 7번 핀)에 High(+5V)을 입력하고 R(12번 핀, 4번 핀)을 Low(GND) 시키면 CD4027의 출력 Q(15번 핀, 1번 핀)는 현재 값이 High이던 Low이던 상관없이 High값을 출력한다.
- ⑤ Clock(13번 핀, 3번 핀), J(10번 핀, 6번 핀), K(11번 핀, 5번 핀)단자를 Don't Care(무정의 조건)로 동작하게 하고 S(9번 핀, 7번 핀)에 Low(GND)을 입력하고 R(12번 핀, 4번 핀)을 High(+5V) 시키면 CD4027의 출력 Q(15번 핀, 1번 핀)는 현재 값이 High이던 Low이던 상관없이 Low값을 출력한다.

(다) 74LS32(Quad 2-Input OR Gate) IC 구조 및 동작표(진리표)



Function Table

$Y = A + B$

| Inputs | | Output |
|--------|---|--------|
| A | B | Y |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | H |

H = HIGH Logic Level
L = LOW Logic Level

- ① 74LS32는 한쪽 입력이 High 이면 출력은 항상 High이고 두 입력 모두 Low 가 되어야 출력은 Low가 된다.

(라) 회로 동작

- ① SW3을 ON(GND) 시키면 Reset 신호는 Low 신호가 출력되고, OFF(+5V) 시키면 Reset 신호는 High 신호가 출력되어 74LS32(U10A, U10B)의 1번 핀과 4번 핀으로 입력된다.
- ② SW3을 OFF(+5V) 시키면 74LS32(U10A, U10B)의 1번 핀과 4번 핀에 High신호가 인가되어 74LS32(U10A, U10B)의 2번 핀(PASS)과 5번 핀(NOPASS)의 입력 값에 상관없이 74LS32(U10A, U10B)의 출력 3번 핀, 6번 핀에서 High 신호가 출력된다.
- ③ SW3을 ON(GND) 시키면 74LS32(U10A, U10B)의 1번 핀과 4번 핀에 Low 신호가 인가되어 74LS32(U10A, U10B)의 2번 핀(PASS)과 5번 핀(NOPASS)의 입력 값에 따라서 74LS32(U10A, U10B)의 출력(3번 핀, 6번 핀)값이 결정된다.
- ④ 위회로의 CD4027(U11)은 Set, Reset 단자의 입력에 따라 출력을 High, Low 상태로 유지하게 설계되었으므로 SW3을 OFF(+5V) 시킨 상태에서 비밀 번호를 설정한다는 것은 CD4027(U11)을 Reset 시킨 상태에서 비밀 번호를 설정 한다는 것이다.

Truth Table

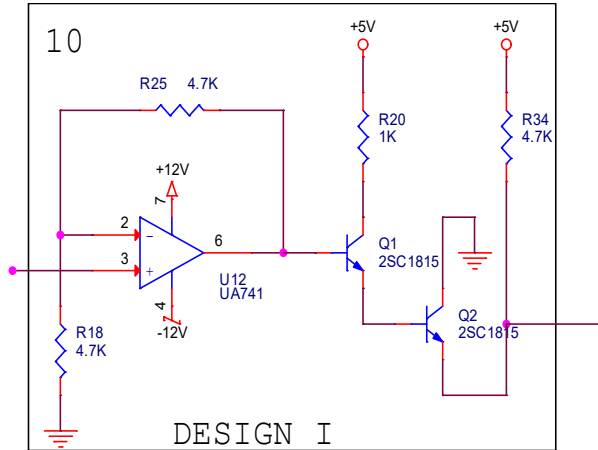
| Inputs t_{n-1} (Note 1) | | | | | | Outputs t_n (Note 2) | |
|------------------------------|---|---|---|---|---|---------------------------|-----------|
| CL (Note 3) | J | K | S | R | Q | Q | \bar{Q} |
| ✓ | 1 | X | 0 | 0 | 0 | 1 | 0 |
| ✓ | X | 0 | 0 | 0 | 1 | 1 | 0 |
| ✓ | 0 | X | 0 | 0 | 0 | 0 | 1 |
| ✓ | X | 1 | 0 | 0 | 1 | 0 | 1 |
| ✓ | X | X | 0 | 0 | X | (No Change) | |
| X | X | X | 1 | 0 | X | 1 | 0 |
| X | X | X | 0 | 1 | X | 0 | 1 |
| X | X | X | 1 | 1 | X | 1 | 1 |

SW4를 누르기 전에는 CHECK 신호가 Low 신호이기 때문에 PASS 신호와 NOPASS 신호는 항상 Low 신호가 되며, 74LS32(U10A, U10B)의 1번 핀과 4번 핀, CD4027(U11A, U11B)의 7번 핀과 9번 핀에 Low 신호가 인가된다. 따라서 74LS32(U10A, U10B)의 출력(3번 핀, 6번 핀)은 High가 되어 CD4027(U11A, U11B)의 R(4번 핀, 12번 핀)단자에 입력되고 S(9번 핀, 7번 핀)는 PASS 신호와 NO PASS 신호가 Low 이기 때문에 Low 신호가 입력되어 CD4027(U11A, U11B)이 Reset 상태로 동작하게 된다.

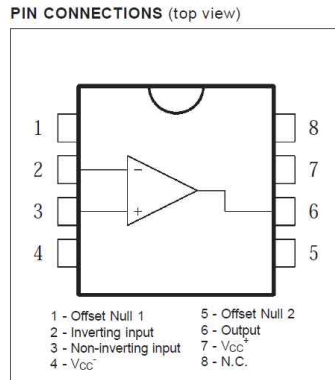
- ⑤ 비밀번호를 설정한 후 SW3을 ON(GND) 시키면 Reset 신호는 Low 신호가 되어 74LS32(U10A, U10B)의 1번 핀과 4번 핀에 입력되어 74LS32(U10A, U10B)의 출력은 PASS 신호와 NO PASS 신호의 값에 따라서 출력이 결정된다.
- ⑥ 비밀번호를 설정한 후 SW3을 ON(GND) 시킨 다음 Rotary SW를 조정하여 비밀 번호를 일치 시켰다면 일치 불일치를 알기 위하여 SW4를 한번 누르는 순간 CHECK 신호는 High 신호가 되어 PASS 신호는 High, NOPASS 신호는 Low 신호가 출력되어 74LS32(U10A, U10B)의 2번 핀(PASS)에 High, 5번 핀(NOPASS)에 Low 신호가 입력된다. Reset 신호는 SW3을 ON(GND)시켰으므로 Low 신호가 출력된다. 따라서 74LS32(U10A)의 출력(3번 핀)은 High 신호가 출력되고 74LS32(U10B)의 출력(6번 핀)은 Low 신호가 출력되어 CD4027(U11A)의 R(4번 핀)에 High, S(7번 핀)에 Low 신호가 입력되므로 CD4027(U11A)은 Reset 되어 출력 Q(1번 핀)에 Low 신호가 출력되므로 LED2(RED)가 OFF 되어 일치임을 알 수 있다. 또한 CD4027(U11B)의 R(12번 핀)에 Low, S(9번 핀)에 High 신호가 입력되어 CD4027(U11B)은 Set 되어 출력 Q(15번 핀)에 High 신호가 출력되므로 LED1(GREEN)이 ON되어 비밀 번호가 일치됨을 알 수 있다.
- ⑦ 비밀번호를 설정한 후 SW3을 ON(GND) 시킨 다음 Rotary SW를 조정하여 비밀 번호를 불일치 시켰다면 일치 불일치를 알기 위하여 SW4를 한번 누르는 순간 CHECK 신호는 High 신호가 되어 PASS 신호는 Low, NOPASS 신호는 High 신호가 출력되어 74LS32(U10A, U10B)의 2번 핀(PASS)에 Low, 5번 핀(NOPASS)에 High 신호가 입력된다. Reset 신호는 SW3을 ON(GND)시켰으므로 Low 신호가 출력된다. 따라서 74LS32(U10A)의 출력(3번 핀)은 Low 신호가 출력되고 74LS32(U10B)의 출력(6번 핀)은 High 신호가 출력되어 CD4027(U11A)의 R(4번핀)에 Low, S(7번핀)에 High 신호가 입력되므로 CD4027(U11A)은 Set 되어 출력 Q(1번 핀)에 High 신호가 출력되므로 LED2(RED)가 ON 되어 불일치임을 알 수 있다. 또한 CD4027(U11B)의 R(12번 핀)에 High, S(9번 핀)에 Low 신호가 입력되어 CD4027(U11B)은 Reset

되어 출력 Q(15번핀)에 Low 신호가 출력되므로 LED1(GREEN)이 OFF 되어 비밀 번호가 불일치됨을 알 수 있다.

(7) UA741과 TR(2SC1815)를 이용한 부저 컨트롤



(가) UA741(General Purpose Operational Amplifiers) IC 구조



(나) UA741(General Purpose Operational Amplifiers)의 동작 원리

1) OP-AMP(연산 증폭기)의 이상적인 특성

- ① 무한대의 전압이득($A_v = \infty$)과 무한대의 동상신호 제거비($CMRR = \infty$)를 가진다.
- ② 무한대의 입력저항($R_i = \infty$)과 출력저항($R_o = 0$)을 가진다.
- ③ 무한대의 대역폭($BW = \infty$)을 가진다.

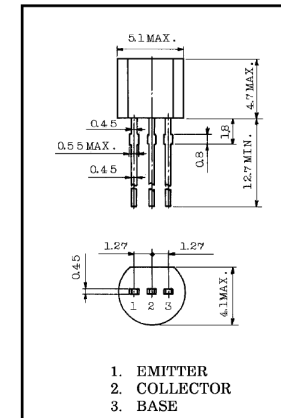
2) 실제 OP-AMP(연산 증폭기)의 특성

- ① 높은 전압이득($A_v = 10^4 \sim 10^5$)과 높은 동상신호 제거비($CMRR = 10^4$)를 가진다.
- ② 높은 입력저항($R_i = 1 \sim 10^8 [\text{M}\Omega]$)과 낮은 출력저항($R_o = \text{수} \sim \text{수십} \Omega$)을 가진다.
- ③ 넓은 대역폭($BW = \text{수 백} \text{kHz} \sim \text{수 십 MHz}$)을 가진다.

3) UA741(General Purpose Operational Amplifiers)

- ① UA741도 실제 OP-AMP(연산 증폭기)의 특성을 가지며, OP-AMP는 저항, 커패시터와 같은 수동 소자를 이용하여 Feed Back 회로를 구성하여 전압이득과 대역폭을 적절하게 제어할 수 있다. 따라서 OP-AMP는 수동 소자를 이용하여 전압 증폭기, 발진, 필터, 변조, 복조회로, 비교기, 연산회로 등 많은 회로를 설계할 수 있다.
- ② UA741(OP-AMP)는 수동소자를 가지고 많은 회로를 구현할 수 있으므로 UA741(OP-AMP)으로 어떤 회로를 설계했는지 정확히 파악하여 그 회로에 맞게 해석을 하면 된다.

(다) 2SC1815(NPN Silicon Transistor) TR의 구조



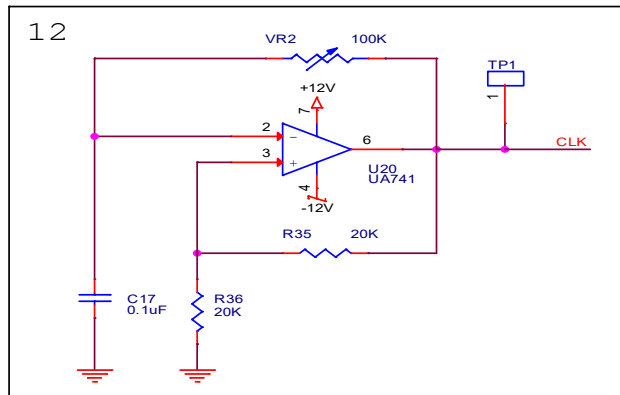
(라) 회로 동작

- ① 비밀 번호가 불일치할 경우 CD4027(U11A)의 Q(1번 핀)에서 High 신호가 출력되어 LED2(RED)를 ON 시키며, 이 High 신호가 비반전 증폭기로 동작하는 UA741(U12) 3번 핀에 입력되어 2배로 증폭된다. 비반전 증폭기의 출력은

$$\text{다음 식과 같다. } V_o = \left(1 + \frac{R_{25}}{R_{18}}\right) V_i = \left(1 + \frac{4.7k}{4.7k}\right) V_i = 2V_i$$

- ② TR(Q_1)은 Buffer(버퍼)로 동작하고, TR(Q_2)는 Invertor(인버터)로 동작한다. 비반전 증폭기(UA741) 통해 2배로 증폭된 신호는 TR(Q_1)의 Base에 인가되어 TR(Q_1)을 ON 상태로 만들어 Collector 전압과 Collector 저항 R_{20} 에 의하여 발생된 Collector 전류가 TR(Q_1)의 Emitter로 흘러 TR(Q_2)의 Base로 인가되어 TR(Q_2)를 ON 상태로 만든다. TR(Q_2)가 ON되면 출력은 Low 상태가 된다.
- ③ 비밀 번호가 일치할 경우 CD4027(U11A)의 Q(1번 핀)에서 Low 신호가 출력되어 LED2(RED)를 OFF 시키며, 이 Low 신호가 비반전 증폭기로 동작하는 UA741(U12) 3번 핀에 입력지만 입력 신호가 Low이기 때문에 출력도 Low 상태가 된다. 이 Low 신호가 TR(Q_1)의 Base에 인가되어 TR(Q_1)을 OFF 상태로 만들어 Collector 전압과 Collector 저항(R_{20})에 의하여 발생된 Collector 전류가 TR(Q_1)의 Emitter로 흐르지 못하여 TR(Q_1)의 Emitter 출력은 Low 상태가 된다. 이 Low 신호가 TR(Q_2)의 Base로 인가되어 TR(Q_2)를 OFF 상태로 만들어 TR(Q_2)의 출력은 High 상태가 된다.

(8) UA741(General Purpose Operational Amplifiers)를 이용한 발진 회로



(가) 회로 동작

- ① C_{17} 에 걸리는 전압 즉, UA741(U20)의 반전입력단자(2번 핀)에 걸리는 전압을 V_c , R_{36} 에 걸리는 전압을 VR_{36} 이라고 하면
- ② UA741(U20)에 전원을 공급하는 순간 V_c 는 C_{17} 가 충전되기 전이므로 $V_c = 0$, UA741(U20)의 출력(6번 핀)을 $+V_o$ (U20에 입력되는 +전압)라고 하면 R_{36}

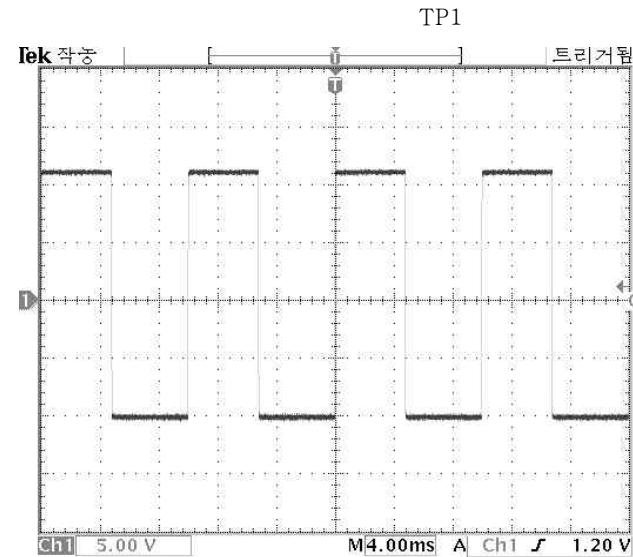
에 걸리는 전압 $VR_{35} = \frac{R_{36}}{R_{35} + R_{36}} (+V_o) = \frac{20k}{20k + 20k} (+V_o) = \frac{1}{2} (+V_o)$ 가 된다.

- ③ $VR_{36} > V_c (=0)$ 이므로 UA741(U20)의 출력(6번 핀)은 $+V_o$ 값을 유지하며 $+V_o$ 가 VR_{36} 를 통해 C_{17} 에 충전되면 V_c 의 전압은 서서히 (+)전압으로 상승한다.
- ④ V_c 는 점점 (+)전압으로 충전되어 $V_c > VR_{36}$ 순간부터 UA741(U20)의 출력(6번핀)은 $-V_o$ (U20에 입력되는 -전압)로 반전되며 V_c 는 방전을 하게 된다.

그러므로, $VR_{35} = \frac{R_{36}}{R_{35} + R_{36}} (-V_o) = \frac{20k}{20k + 20k} (-V_o) = \frac{1}{2} (-V_o)$ 가 된다.

- ⑤ $-V_o$ 가 VR_{36} 를 통해 C_{17} 에 (-)전압을 충전하게 되며, (-) $V_c < (-)VR_{35}$ 순간부터 UA741(U20)의 출력(6번 핀)은 $+V_o$ (U20에 입력되는 -전압)로 반전되며 (-) V_c 는 방전을 하게 된다. 이와 같은 과정을 반복하여 구형파를 발생시킨다.

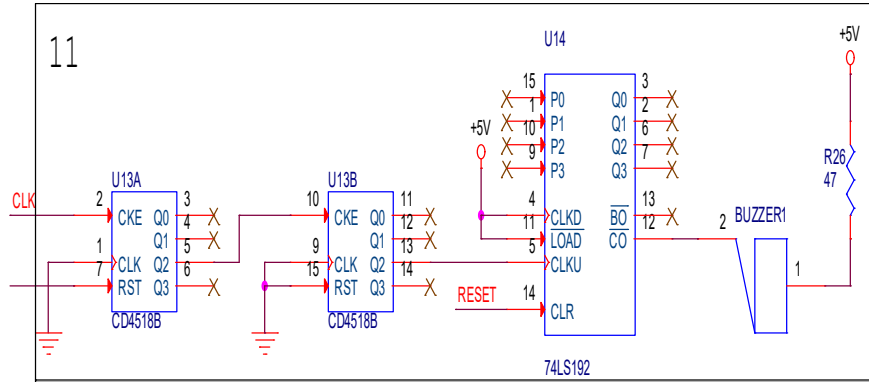
- ⑥ 주기 $T = 2VR_2C_{17}$, 주파수 $f = \frac{1}{T} = \frac{1}{2VR_2C_{17}}$ 이 되며, VR_2 를 조정함으로써 주파수를 조정할 수 가 있다.



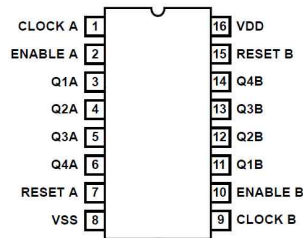
주파수 : 100[Hz]
Vp-p : 22[V]

Low(GND), Reset(7번 핀, 15번 핀)은 Low(GND)에 연결하는 경우이다.

(9) CD4518(Dual BCD Up Counter)과 74LS192(Presetable BCD / DECADE UP / DOWN Counter)를 이용한 1/1000 분주 회로



(가) CD4518(Dual BCD Up Counter) IC 구조



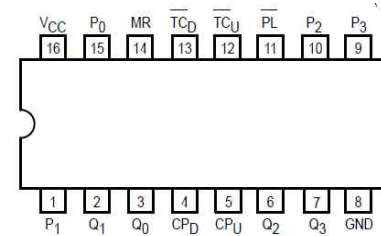
(나) CD4518(Dual BCD Up Counter)의 동작 원리

| TRUTH TABLE | | | |
|-------------|--------|-------|-------------------|
| CLOCK | ENABLE | RESET | ACTION |
| | 1 | 0 | Increment Counter |
| 0 | | 0 | Increment Counter |
| | X | 0 | No Change |
| X | | 0 | No Change |
| | 0 | 0 | No Change |
| 1 | | 0 | No Change |
| X | X | 1 | Q1 thru Q4 = 0 |

X = Don't Care 1 = High State 0 = Low State

- ① CD4518(Dual BCD Up Counter)이 Counter로 동작하기 위해서는 2가지 방법이 있다.
- ② Clock(1번 핀, 9번 핀)에 Clock Pulse를 인가되고 Enable(2번 핀, 10번 핀)은 High(+5V), Reset(7번 핀, 15번 핀)은 Low(GND)에 연결하는 경우이다.
- ③ Enable(2번 핀, 10번 핀)에 Clock Pulse를 인가되고 Clock(1번 핀, 9번 핀)은

(다) 74LS192(Presetable BCD / DECADE UP / DOWN Counter) IC 구조



* 제조 회사에 따라 핀 명칭이 조금씩 다르더라도 핀의 역할은 같다.

(라) 74LS192(Presetable BCD / DECADE UP / DOWN Counter)의 동작 원리

MODE SELECT TABLE

| MR | PL | CP _U | CP _D | MODE |
|----|----|-----------------|-----------------|----------------|
| H | X | X | X | Reset (Asyn.) |
| L | L | X | X | Preset (Asyn.) |
| L | H | H | H | No Change |
| L | H | | H | Count Up |
| L | H | H | | Count Down |

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care

= LOW-to-HIGH Clock Transition

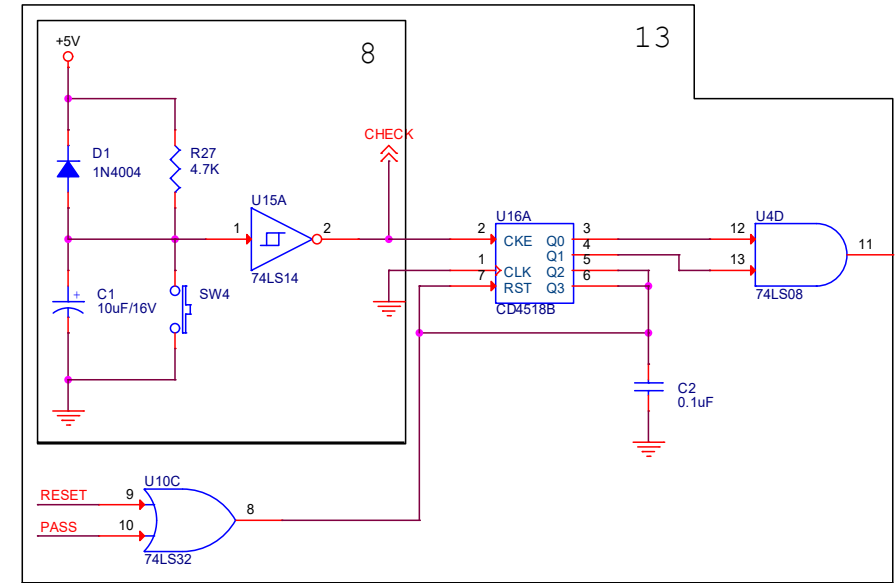
- ① MR(14번 핀) 단자가 High 이고 PL(11번 핀), CP_u(5번 핀), CP_D(4번 핀) 단자가 don't care 이면 Reset 으로 동작한다.
- ② MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 Low 이고 CP_u(5번 핀), CP_D(4번 핀) 단자가 don't care 이면 Preset 으로 동작한다.
- ③ MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 High 이고 CP_u(5번 핀) 단자에 Clock Pulse가 입력되고 CP_D(4번 핀) 단자가 High 이면 Up Counter 으로 동작한다.
- ④ MR(14번 핀) 단자가 Low, PL(11번 핀) 단자가 High, CP_u(5번 핀) 단자가 High 이고 CP_D(4번 핀) 단자에 Clock Pulse가 입력되면 Down Counter로 동작한다.
- ⑤ 1번, 9번, 10번, 15번 핀(Parallel Data Inputs 단자.) 설정에 따라 74LS192의 초기 Counter 값을 설정한다.
- ⑥ 12번 핀 (Terminal Count Up Output 단자.)은 Counter가 “9”에서 “0”으로 넘어가는 순간 Pulse를 하나 발생시키므로 다음 단의 Clock Pulse로 사용한다.

⑦ 13번 핀(Terminal Count Down Output 단자.)은 Counter가 “0”에서 “9”로 넘어가는 순간 Pulse를 하나 발생시키므로 다음 단의 Clock Pulse로 사용한다.

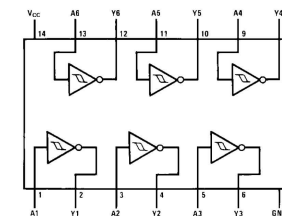
(5) 회로 동작

- ① CD4518(U13A, B)는 Enable(2번 핀, 10번 핀)에 Clock Pulse가 인가되고 Clock(1번 핀, 9번 핀)은 Low(GND), Reset(7번 핀, 15번 핀)은 Low(GND)에 연결하여 Up Counter로 동작하게 하였으며, CD4518(U13A)의 2번 핀에 100[Hz]의 주파수를 가지는 Clock Pulse가 입력되면 CD4518(U13A)은 10분 주되어 출력 Q_2 (5번 핀)에서 10[Hz]의 주파수를 가지는 Clock Pulse가 출력되어 CD4518(U13B)의 10번 핀에 입력된다. 입력된 10[Hz]의 Clock Pulse는 다시 10분주되어 출력 Q_2 (13번 핀)에서 1[Hz]의 주파수를 가지는 Clock Pulse가 출력된다.
- ② 74LS192(U14)가 UP Counter로 동작하려면 14번 핀(MR)이 Low, 11번 핀(PL)이 High, 4번 핀(CLKD)이 High가 되고 5번 핀(CLKU)에 Clock Pulse가 들어오면 된다. 반대로 Down Counter로 동작 하려면 14번 핀(MR)이 Low, 11번 핀(Load)이 High, 5번 핀(CP_u)이 High가 되고 4번 핀(CP_D)에 Clock Pulse가 들어오면 된다. 12번 핀(Terminal Count Up Output)은 0~9까지 Up Counter를 하고나서 “9”에서 “0”이 되는 순간 Carry를 발생한다. P0~P3는 Parallel Data Input 단자이며, 74LS192는 P0~P3에 입력되는 Data 값부터 Counter를 하게 되는데 위 회로에서는 Open 되어 있지만 Open 되어도 접지(GND)에 연결한 것과 같아서 “0”부터 Counter를 하게 된다.
- ③ CD4518(U13B)의 출력 Q_2 (13번 핀)에서 1[Hz]의 주파수를 가지는 Clock Pulse가 74LS192(U14)의 5번 핀(CP_u)으로 입력되면 74LS192(U14)는 Up Counter로 동작하고 12번 핀(TC_u)에서는 “9”까지 Counter하고 “0”이 되는 순간 한번의 Pulse가 발생하기 때문에 입력된 1[Hz]의 Clock Pulse가 10분주되어 0.1[Hz]의 주파수를 가지는 Clock Pulse가 발생하여 부저가 울리게 된다. SW3을 OFF 시키면 74LS192(U14)의 14번 핀(MR)에 High(+5V) 신호가 인가되어 74LS192(U14)는 Reset 된다. 그러므로 부저도 울리지 않게 된다.

(10) CD4518(Dual BCD Up Counter)를 이용하여 비밀번호가 3번 틀릴 경우 경고음을 발생시키는 컨트롤 회로



(가) 74LS14(Hex Inverter with Schmitt Trigger Input) IC 구조 및 동작원리



Function Table

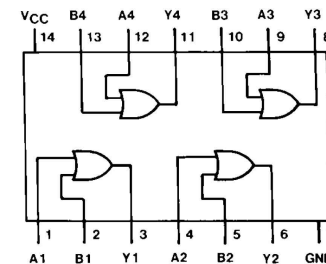
$$Y = \bar{A}$$

| Input A | Output Y |
|------------|-------------|
| L | H |
| H | L |

H = HIGH Logic Level
L = LOW Logic Level

- ① 74LS14는 Hex Inverting Gates로 입력이 High이면 출력은 Low, 입력이 Low이면 출력은 High가 된다.

(나) 74LS32(Quad 2-Input OR Gate) IC 구조 및 동작원리



Function Table

$$Y = A + B$$

| Inputs | | Output Y |
|--------|---|-------------|
| A | B | |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | H |

H = HIGH Logic Level
L = LOW Logic Level

- ① 74LS32는 한쪽 입력이 High 이면 출력은 항상 High이고 두 입력 모두 Low가 되어야 출력은 Low가 된다.

(다) 회로 동작

- ① 비밀 번호가 일치할 때 SW4를 누르면 CHECK 신호는 High 신호를 발생하여 74LS32(U10C)의 10번 핀(PASS)에 High 신호가 입력되고 9번 핀(RESET)에도 Low 신호가 입력되어 74LS32(U10C)의 출력(8번 핀)은 High 신호가 출력되어 CD4518(U16A)의 7번 핀(RESET)에 입력된다.

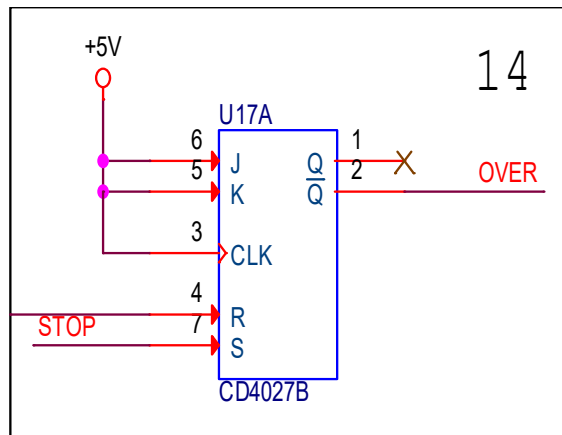
따라서 CD4518(U16A)는 Reset되어 출력($Q_0 \sim Q_3$)에서는 Low 신호가 출력된다.

- ② 비밀 번호가 일치하지 않을 경우에 SW4를 누르면 CHECK 신호는 High 신호를 발생하여 74LS32(U10C)의 10번 핀(PASS)에 Low 신호가 입력되고 9번 핀(RESET)에도 Low 신호가 입력되어 74LS32(U10C)의 출력(8번 핀)은 Low 신호가 출력되어 CD4518(U16A)의 7번 핀(RESET)에 입력된다.

CD4518(U16A)은 7번 핀(RESET)에 High 신호가 입력되면 Clock Pulse가 들어올 때마다 Counter 동작을 하므로 CD4518(U16A)은 SW4를 누를 때 마다 Counter를 하게 되는데 “3”까지만 Counter를 하게 된다. Q_2 와 Q_3 이 74LS32(U10C)의 출력(8번 핀)에 연결되어 있어 GND(접지)에 연결된 것과 같다. C_2 는 바이패스 커패시터 역할을 한다.

- ③ “3”까지 Counter하는 CD4518(U16A)의 출력 Q_0 와 Q_1 이 74LS08(U4D)의 입력(12번, 13번 핀)에 연결되어 $Q_0 = High$, $Q_1 = High$ 즉, “3”일 경우만 74LS08(U4D)의 출력(11번 핀)에서 High 신호가 출력된다.

11) CD4027(Dual J-K Master / Slave Flip-Flop with Set and Reset)을 이용한 부저 컨트롤

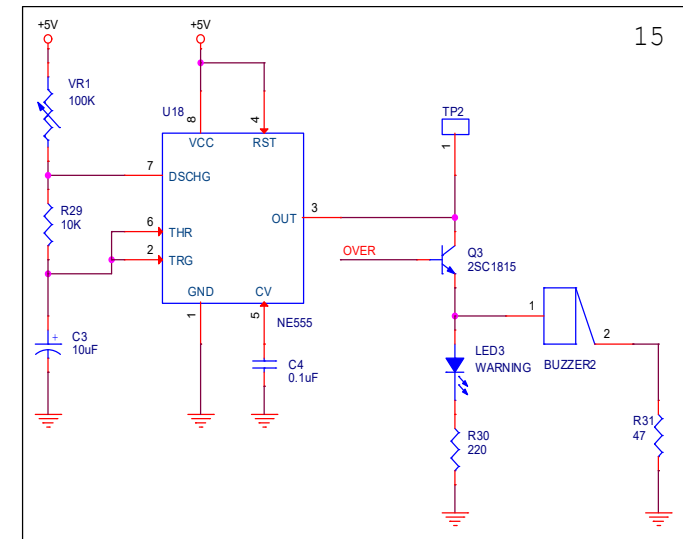


(3) 회로 동작

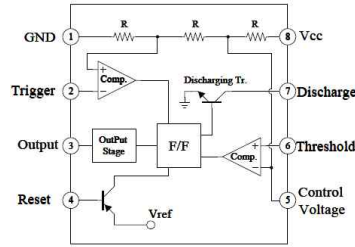
- ① PASS 신호가 High, RESET 신호가 Low이면 STOP 신호가 High가 되어 CD4027(U17A)의 입력 S(7번 핀)에 High 신호가 입력된다. PASS 신호가 High 신호 일 때 CD4518(U16A)은 Counter를 하지 않으므로 출력($Q_0 \sim Q_3$)에서는 Low 신호가 출력되어 74LS08(U4D)의 출력(11번 핀)에서 Low 신호가 출력된다. 따라서 CD4027(U17A)의 입력 R(4번 핀)에는 Low 신호가 입력된다. 그러므로 CD4027(U17A)는 SET 상태가 되어 출력Q(1번 핀)에서 High, \bar{Q} 에서 Low 신호가 출력되어 OVER 신호에서 Low 신호가 출력된다.

- ② PASS 신호가 Low, RESET 신호가 Low이면 STOP 신호가 Low가 되어 CD4027(U17A)의 입력 S(7번 핀)에 Low 신호가 입력된다. PASS 신호가 Low 신호 일 때 CD4518(U16A)은 SW4를 누를 때마다 Counter를 하며 “3”까지 Counter를 하게 된다. 따라서 74LS08(U4D)의 출력(11번 핀)은 $Q_0 = High$, $Q_1 = High$ 즉 “3”일 경우 만 High 신호가 출력된다. 그러므로 CD4027(U17A)의 입력 R(4번 핀)에는 High 신호가 입력되어 CD4027(U17A)는 RESET 상태가 되어 출력Q(1번 핀)에서 Low, \bar{Q} 에서 High 신호가 출력되어 OVER 신호에서 High 신호가 출력된다.

12) NE 555를 이용한 비안정 멀티바이브레이터회로



(1) NE555(Single Timer) IC 구조



- ① 1번 핀 : GND(접지) 단자.
- ② 2번 핀 (Trigger 단자) : NE555가 동작하기 위한 Trigger 신호를 입력하는 단자로 인가된 전압의 $\frac{1}{3} V_{cc}$ 이하 일 때 동작한다.
- ③ 3번 핀 : Output(출력) 단자.
- ④ 4번 핀 (Reset 단자) : NE555를 Reset 시키는 단자로 High(+5)가 입력되면 동작하고, Low(0V) 신호가 입력되면 동작을 멈춘다.
- ⑤ 5번 핀 (Control Voltage 단자) : 2번 핀(Trigger)에 걸리는 $\frac{1}{3} V_{cc}$ 와 6번 핀 (Threshold)에 걸리는 $\frac{2}{3} V_{cc}$ 을 변화시킬 때 사용하며, 6번 핀(Threshold)에 걸리는 $\frac{2}{3} V_{cc}$ 를 외부로 꺼내는 단자이기도 하며 보통 0.01[μF] 커패시터를 연결하여 사용한다.
- ⑥ 6번 핀(Threshold 단자) : NE555가 동작하기 위한 Threshold(문턱)전압으로 인가된 전압의 $\frac{1}{3} V_{cc}$ 이하 일 때 동작한다.
- ⑦ 7번 핀(Discharge 단자) : NE555에 연결된 커패시터에 충전된 전압을 방전시키는 역할을 한다.
- ⑧ 8번 핀 : Vcc(전원) 단자.

(2) NE555의 동작 원리

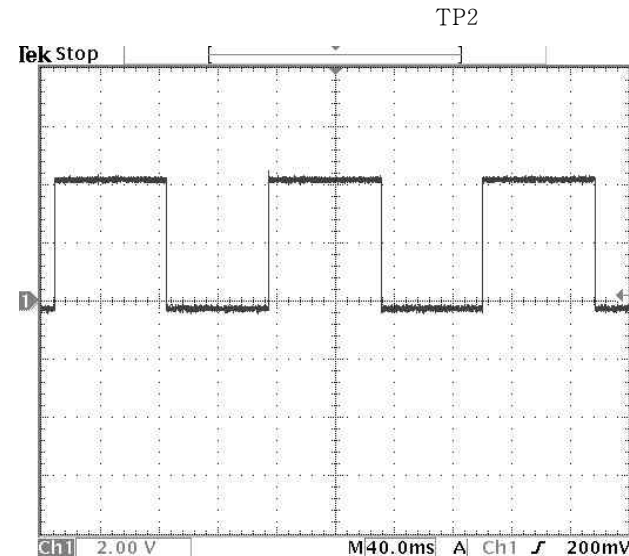
- ① VR_1 과 R_{20} 을 통해서 C_3 에 입력 전압의 $\frac{2}{3}$ 까지 충전 되며, 충전 시간은 $t_1 \approx 0.693 \times C_3 \times (VR_1 + R_{20})$ [sec] 이다.
- ② 커패시터 C_3 에 충전된 전압은 R_{21} 을 통해서 NE555 7번 핀으로 방전을 한다. 방전 시간은 $t_2 \approx 0.693 \times C_3 \times R_{20}$ [sec] 이다.
- ③ ①과 ②의 과정이 반복 되면서 발진이 발생한다. 발진 주기는 $T = t_1 + t_2 \approx 0.693 \times C_3 \times (VR_1 + 2R_{20})$ [sec] 이다.

④ 발진 주파수는 $f = \frac{1}{T} \approx \frac{1.44}{C_3(VR_1 + 2R_{20})}$ [Hz] 이다.

⑤ VR_1 이 충·방전 시간을 조절함으로써 주파수를 조정할 수가 있다.

(3) 회로 동작

- ① NE555(U18)에서 구형파가 발생하면 TR(Q_3)의 Base(베이스)에 High 신호가 입력되어야 LED3이 깜빡이고 부저가 울리게 된다. TR(Q_3)는 Switching 동작을 하게 되는데 Base(베이스)에 Low 신호가 입력되면 OFF되고 Base(베이스)에 High 신호가 입력되면 ON되어 NE555(U18)의 발진 신호를 통과시켜 LED3과 부저를 동작하게 한다. VR_1 을 조정하여 주파수를 높이면 LED3의 깜빡임은 빨라지고 부저 음의 소리가 짧아지면서 빨라지며 반대로 주파수를 낮추면 LED3의 깜빡임은 느려지고 부저 음의 소리가 길어지면서 느려질 것이다.
- ② PASS 신호가 High 이면 CD4027(U17A)의 출력(\bar{Q})에서 Low 신호가 출력되어 TR(Q_3)를 OFF 시키며 PASS 신호가 Low 이면 SW4를 3번 눌렀을 때 CD4027(U17A)의 출력(\bar{Q})에서 High 신호가 출력되어 TR(Q_3)를 ON 시켜서 LED3를 깜빡이게 하고 부저를 울리게 한다. 즉, PASS 신호가 High라는 것은 비밀 번호가 일치 하지 않는 경우이며 비밀 번호가 일치 하지 않을 경우에 SW4를 3번 눌렀다는 것은 비밀 번호 입력을 3번 틀렸다는 것이므로 비밀 번호를 3번 틀렸을 경우 LED3과 부저가 동작하는 것이다.



주파수 : 6.85[Hz]
Vp-p : 4.92[V]
Positive duty Cycle : 52[%]