

---

# 2023 한국폴리텍대학 (기능사과정) IT융합전자회로 설계 및 제작 경진대회

---

## 제 2 과제

PROJECT NAME : HARDWARE DESIGN

제한 시간 : 5시간



후원 : 학교법인 한국폴리텍 대학

협찬 : 한국폴리텍대학 대구캠퍼스, 나인플러스아이티(주)

# IT융합전자회로 설계 및 제작 경진대회 과제

과 제 명	Hardware Design	경기시간	5시간
비번호		감독위원확인	(인)

## 1. 요구사항

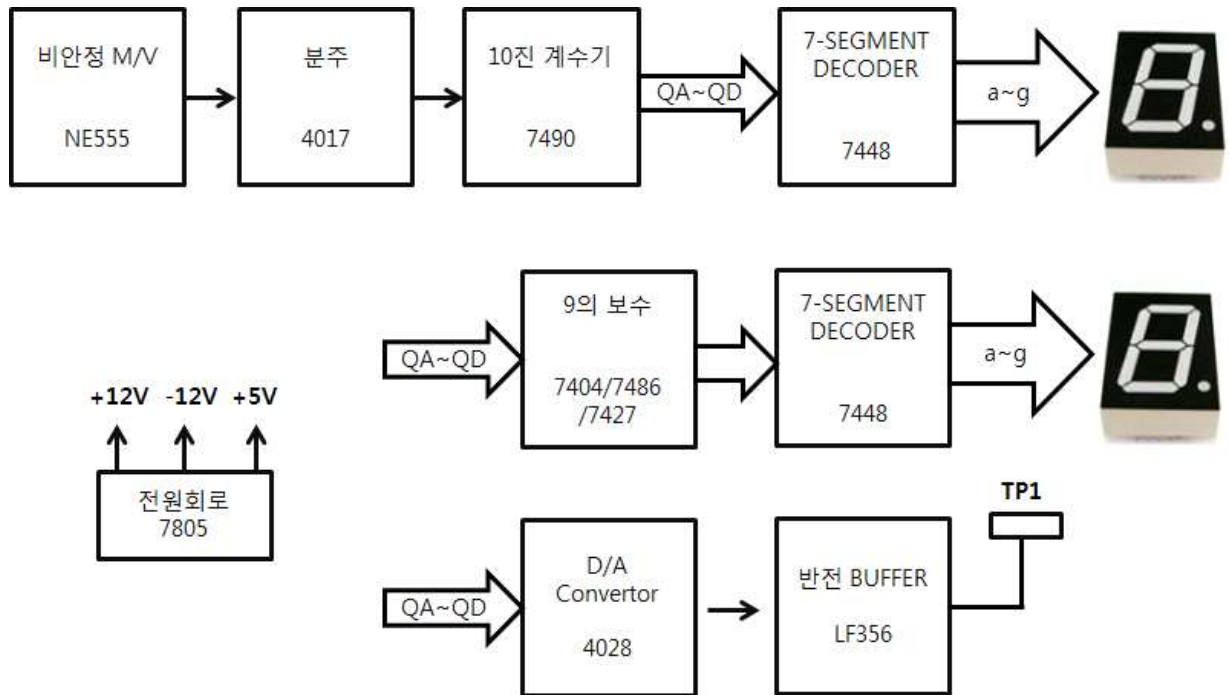
- 가. 지급된 부품과 PCB, 회로도를 참조하여 도면과 같이 9의 보수기 회로를 설계 제작 하시오.
- 나. 설계 부분(DSIGN1)을 요구사항대로 설계하고 완성하여, 답안지에 작성 하시오.
- 다. 설계 부분을 PCB 상의 만능기판에 제작 하시오.
- 라. TP1과 TP2의 파형을 측정하여 기록하시오.

## 2. 동작사항

- 가. 이 회로는 9의 보수로 동작하며, 카운터를 이용하여 계단파를 발생 시킨다.
- 나. FND1과 FND2가 다음과 같이 9의 보수로 동작하는지 확인 하시오.

INPUT				FND	
QD	QC	QB	QA	FND2	FND1
0	0	0	0	0	9
0	0	0	1	1	8
0	0	1	0	2	7
0	0	1	1	3	6
0	1	0	0	4	5
0	1	0	1	5	4
0	1	1	0	6	3
0	1	1	1	7	2
1	0	0	0	8	1
1	0	0	1	9	0

### 다. Block Diagram

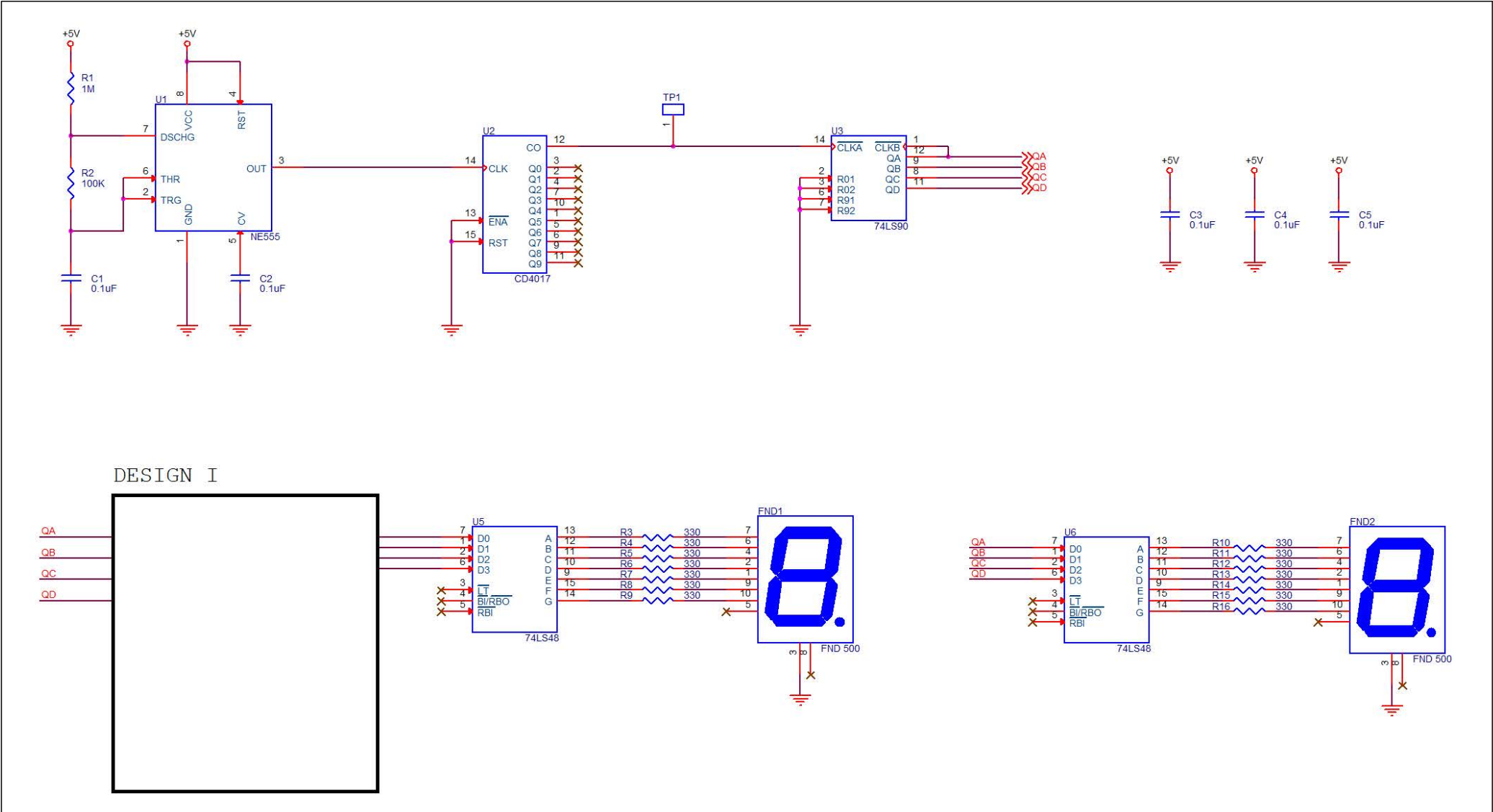


### 3. 유의사항

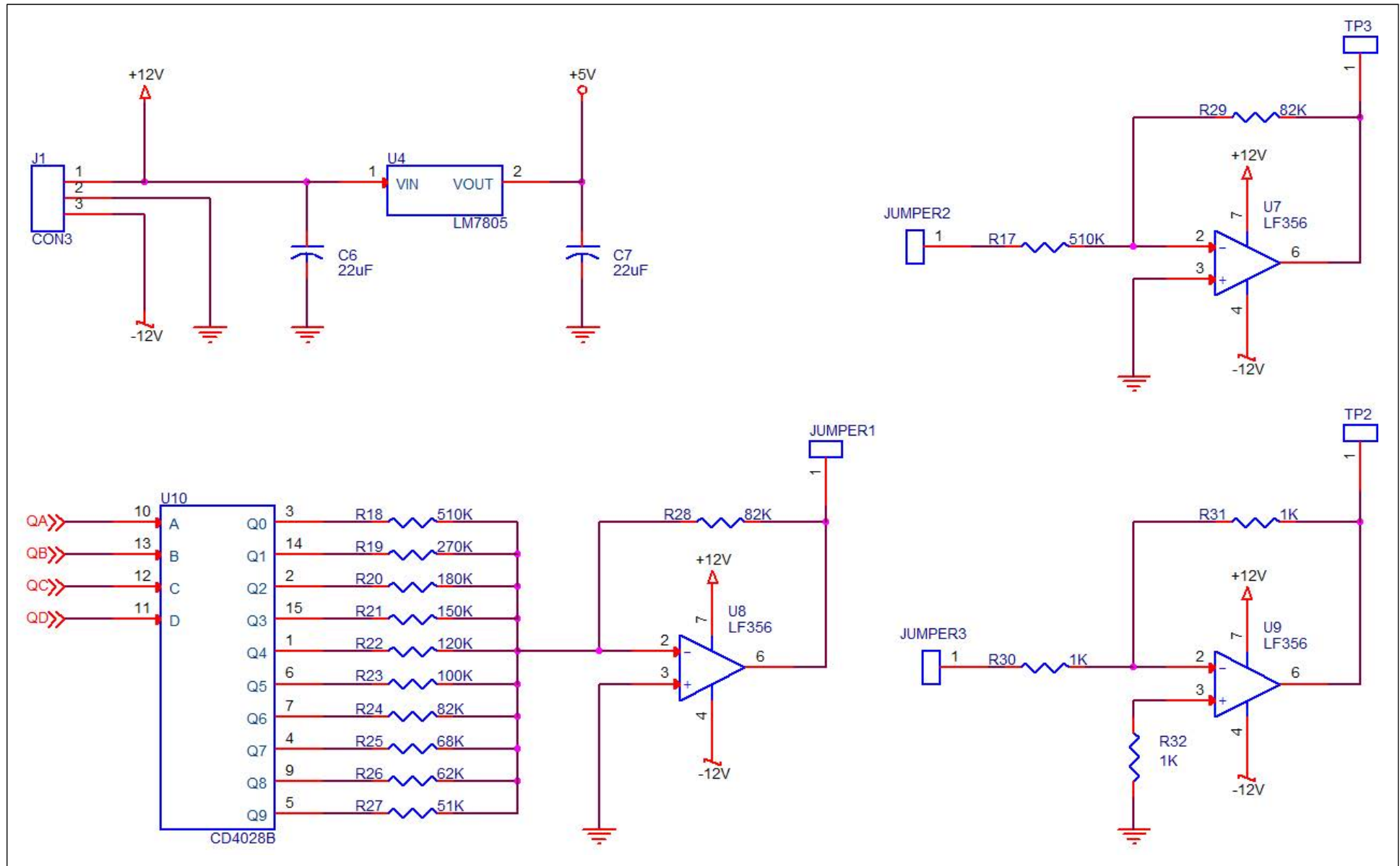
가. 안전사고에 유의하십시오.

나. 심사위원 및 집행위원의 지시에 순응 하시오

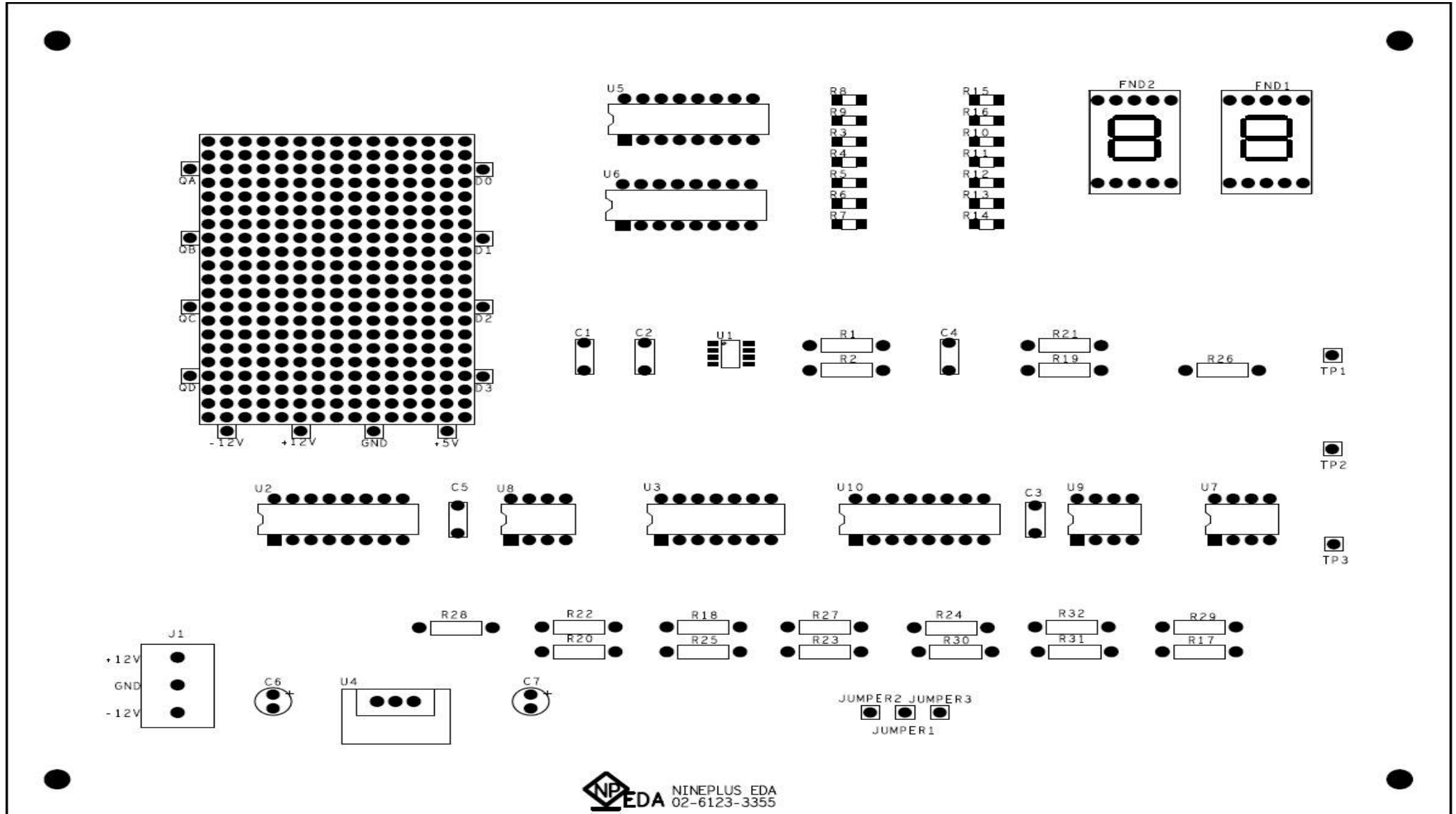
4. 회로도(#2-1)



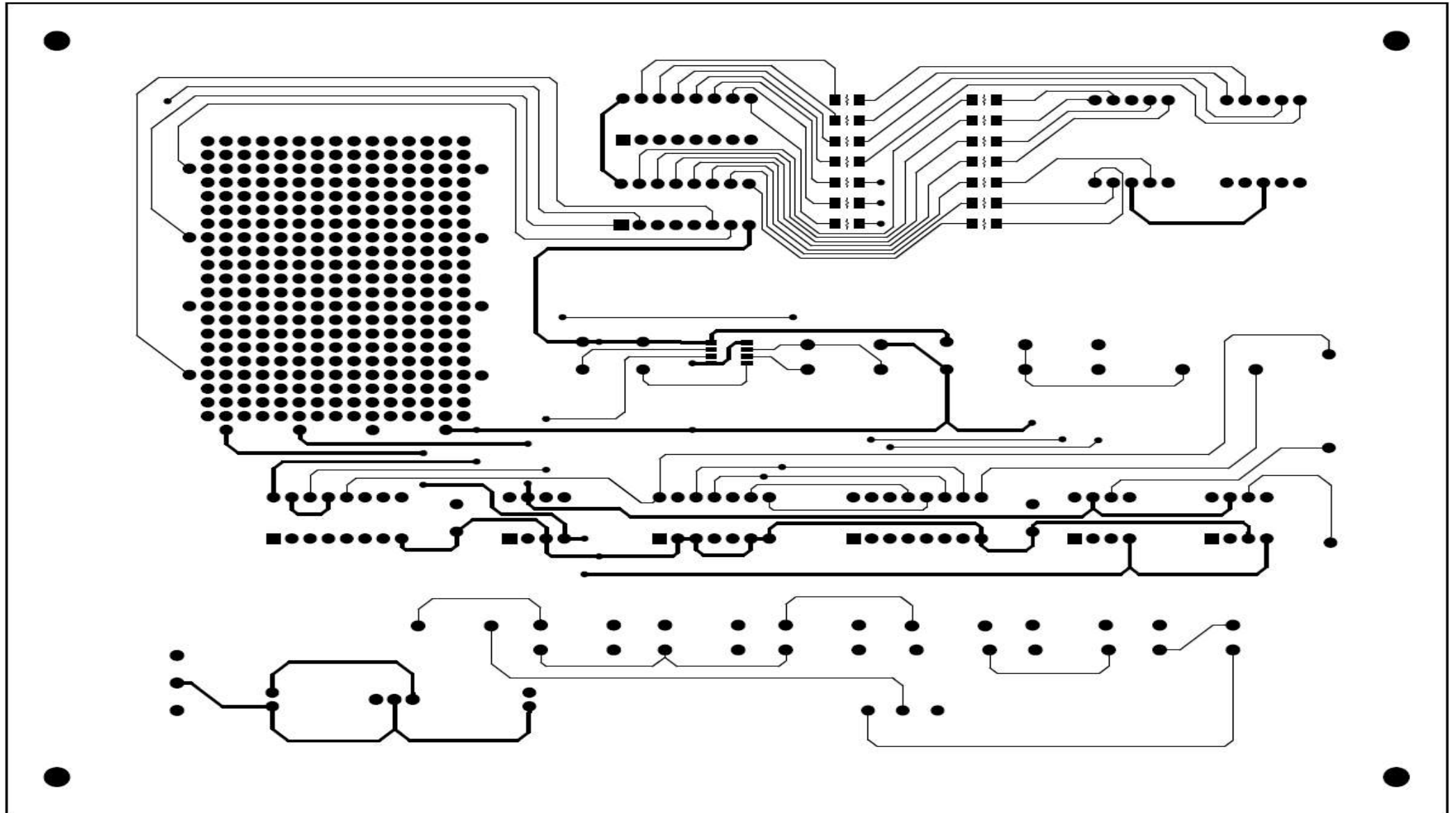
#### 4. 회로도(#2-2)



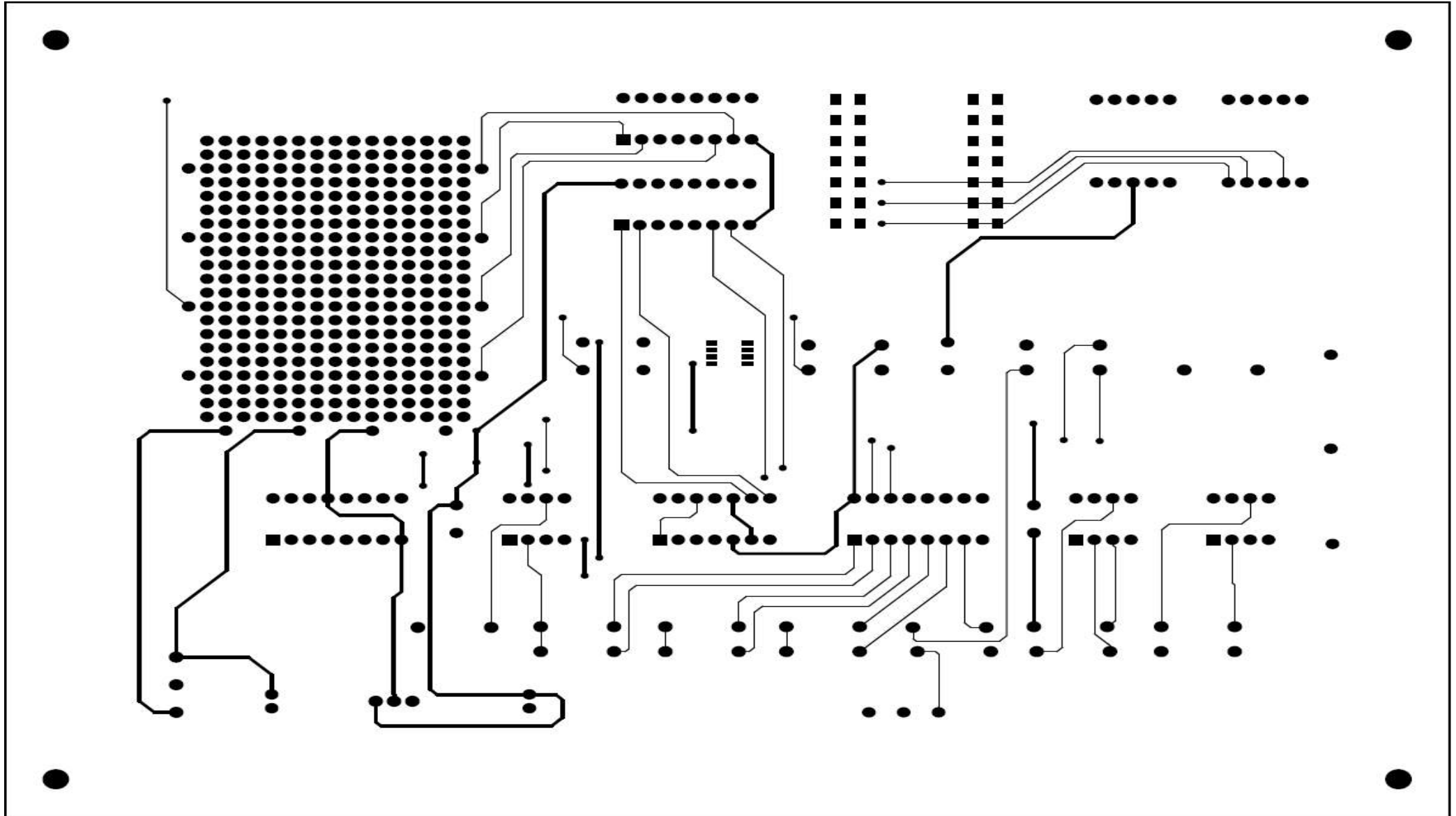
## 5 - 1. PCB 패턴도(SILK)



## 5 - 2. PCB 패턴도(TOP)



### 5 - 3. PCB 패턴도(BOTTOM)





## 6-1. 재 료 목 록

과제명

9의 보수 회로 설계

일련 번호	재 료 명	규 격(치수)	단위	수량	비 고
1	IC(SMD)	NE555(SMD타입)	개	1	
2	IC	4017	개	1	
3	IC	74LS04	개	1	
4	IC	74LS86	개	1	
5	IC	74LS27	개	1	
6	IC	74LS48	개	2	
7	IC	74LS90	개	1	
8	IC	LM7805	개	1	
9	IC	4028	개	1	
10	IC	LF356	개	3	
11	FND	500	개	2	
12	저항	1MΩ, 1/4W	개	1	
13	저항	100kΩ, 1/4W	개	2	
14	칩 저항	SMD 330Ω(3216)	개	14	
15	저항	510kΩ, 1/4W	개	2	
16	저항	270kΩ, 1/4W	개	1	
17	저항	180kΩ, 1/4W	개	1	
18	저항	150kΩ, 1/4W	개	1	
19	저항	120kΩ, 1/4W	개	1	
20	저항	82kΩ, 1/4W	개	3	
21	저항	68kΩ, 1/4W	개	1	
22	저항	62kΩ, 1/4W	개	1	
23	저항	51kΩ, 1/4W	개	1	
24	저항	1kΩ, 1/4W	개	3	
25	전해콘덴서	22μF 25V	개	2	

과제명	9의 보수 회로 설계
-----	-------------

[illegible]

## 7. 회로설계 답안지

### DESIGN I

가. 주어진 부품을 사용하여 FND1과 FND2가 다음 진리표와 같이 9의 보수로 동작되게 설계 하시오.

INPUT				FND	
QD	QC	QB	QA	FND1	FND2
0	0	0	0	0	9
0	0	0	1	1	8
0	0	1	0	2	7
0	0	1	1	3	6
0	1	0	0	4	5
0	1	0	1	5	4
0	1	1	0	6	3
0	1	1	1	7	2
1	0	0	0	8	1
1	0	0	1	9	0

나. 주어진 부품과 Datasheet를 참고하여 설계 하시오.

다. 사용 부품

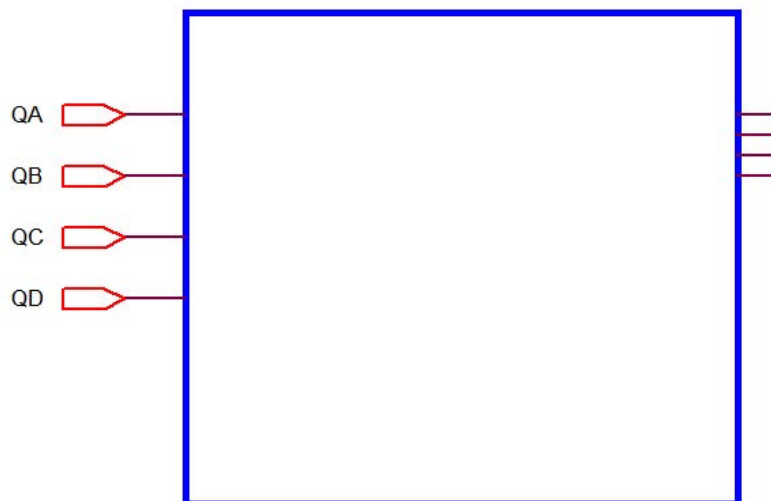
(1) 74LS04 (NOT GATE)----- 1개

(2) 74LS86 (XOR GATE)----- 1개

(3) 74LS27 (3-Input NOR GATE) ----- 1개

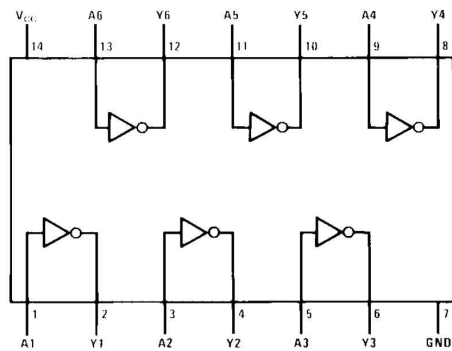
◇ 회로설계

### DESIGN 1



# ◇ Datasheet(74LS04)

## Connection Diagram



## Function Table

$$Y = \overline{A}$$

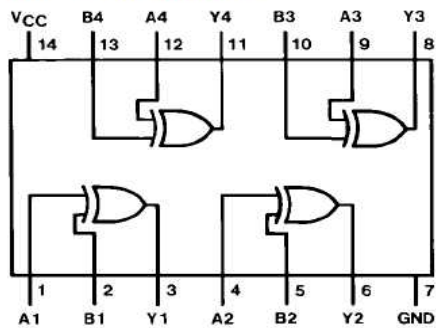
Inputs		Output
A		Y
L		H
H		L

H = HIGH Logic Level

L = LOW Logic Level

# ◇ Datasheet(74LS86)

## Connection Diagram



## Function Table

$$Y = A \oplus B$$

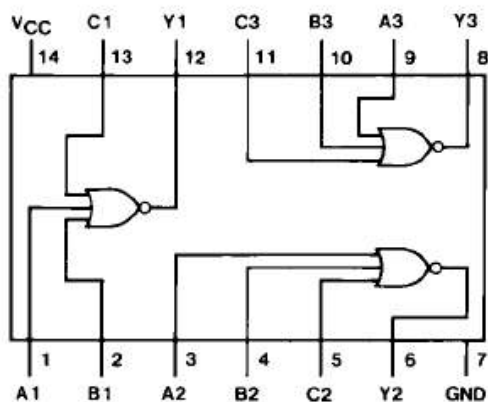
Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level

L = LOW Logic Level

# ◇ Datasheet(74LS27)

## Connection Diagram



## Function Table

$$Y = \overline{A + B + C}$$

Inputs			Output
A	B	C	Y
H	X	X	L
X	H	X	L
X	X	H	L
L	L	L	H

H = HIGH Logic Level

L = LOW Logic Level

X = Either LOW or HIGH Logic Level

8. 측정 답안지

TP1


주파수 :  
 $V_{p-p}$  :

TP2


파형명: